

(19) Japanese Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication No.: 11352464 A

(43) Date of publication: 24.12.99

(22) Date of filing: 08.06.98

(54) [Title of the invention]

**LIQUID CRYSTAL DISPLAY DEVICE AND
LIQUID CRYSTAL DISPLAY PANEL**

Page 2, 1st column to page 3 2nd column, Claims 1-10

[Claims]

[Claim 1] A liquid crystal display panel, a liquid is sealed between the plurality of pixel electrode arrayed in a matrix and a opposition electrode;

in each column, all pixel electrodes are connected electrically to the corresponding signal lines via respective thin film transistor;

in each row, respective control terminal of the thin film transistor belonging odd number column is connected electrically to the gate line which is shared with an adjacent row, respective control terminal of the thin film transistor belonging even number column is connected electrically to the gate line which is shared with the other adjacent row, respective pixel electrode belonging odd number column is connected electrically to the gate line which is shared with said the other adjacent row via corresponding signal storage auxiliary capacitance, respective pixel electrode belonging even number column is connected electrically to the gate line which is shared with said the adjacent row via corresponding signal storage auxiliary capacitance.

[Claim 2] A liquid crystal display device comprising

the liquid crystal panel according to claim 1;

a means for applying constant voltage to the opposite electrode;

a gate line driving means for driving the gate line by switching a first gate voltage and a second gate voltage by each period corresponding to one frame period alternately by extending the first gate voltage and the second gate voltage for one phase period in order to make their periods as 2 phase periods and supplying them to the gate line by progressive scanning, wherein the first gate voltage has a first voltage level which is a normal voltage level in a first phase, a second voltage level which is higher than the first voltage level and

can maintain the thin film transistor in off state in a first phase, a third voltage level which turns on the thin film transistor in a second phase, and a fourth voltage level which is higher than the first voltage level and turns off the thin film transistor in the third phase; the second gate voltage has a fifth voltage level which is lower than the first voltage level in the first phase, a sixth voltage level which turns on the thin film transistor in the second phase, and a seventh voltage level which is lower than the first voltage level in the third phase;

a signal line driving means for driving the signal line of each column during the period when the gate line are activated by the first voltage level or the second voltage level in the second phase and applying the gradation voltage having the voltage level corresponding to the desired display gradation to respective pixel electrode via the thin film transistor in on state.

【Claim 3】 The liquid crystal display device according to claim 2, further comprises a voltage generation means for controlling the said gate line driving means to output the same voltage level regarding the second voltage level and the fourth voltage level, the third voltage level and the sixth voltage level, and the fifth voltage level and the seventh voltage level.

【Claim 4】 A liquid crystal display panel, a liquid is sealed between the plurality of pixel electrode arrayed in a matrix and a opposition electrode;

in each column, all pixel electrodes are connected electrically to each signal line via corresponding thin film transistor;

in each row, all control terminal of the thin film transistor is connected electrically to the gate line;

wherein a first pixel whose pixel electrode is connected electricall to the gate line in one former stage of row via the signal storage auxiliary capacitance and a second pixel whose pixel electrode is connected electrically to the gate line in two former stage of row via the signal storage auxiliary capacitance, and the first pixel and the second pixel are arrayed in a checkered pattern.

【Claim 5】 A liquid crystal display device comprising

the liquid crystal panel according to claim 4;

a means for applying constant voltage to the opposite electrode;

a gate line driving means for supplying a first gate voltage or a second gate voltage to the gate line by switching them alternately by each period corresponding to one frame period

and driving the gate line with progressive scanning by the first voltage level or the second voltage level by one phase period interval, wherein the first gate voltage has a first voltage level which turns on the thin film transistor in the first phase, a second voltage level which is a normal voltage in the second phase, a third voltage level which is lower than the second voltage level in the second phase, a fourth voltage level which is higher than the second voltage level and maintains the thin film transistor in off state in the third phase; the second gate voltage has a fifth voltage level which turns on the thin film transistor in the first phase, a sixth voltage level which is higher than the second voltage level and turns off the thin film transistor in the second phase, and a seventh voltage level which is lower than the second voltage level in the third phase;

a signal line driving means for driving the signal line of each column during the period when the gate line are activated by the first voltage level or the second voltage level in the second phase and applying the gradation voltage having the voltage level corresponding to the desired display gradation to respective pixel electrode via the thin film transistor in on state.

【Claim 6】 A liquid crystal display panel, a liquid is sealed between the plurality of pixel electrode arrayed in a matrix and a opposition electrode;

in each column, all pixel electrodes are connected electrically to each signal line via corresponding thin film transistor;

in each row, all control terminal of the thin film transistor is connected electrically to the gate line;

wherein a first pixel whose pixel electrode is connected electrically to the gate line in one former stage of row via the signal storage auxiliary capacitance and a second pixel whose pixel electrode is connected electrically to the gate line in one latter stage of row via the signal storage auxiliary capacitance, and the first pixel and the second pixel are arrayed in a checkered pattern.

【Claim 7】 A liquid crystal display device comprising

the liquid crystal panel according to claim 4;

a means for applying constant voltage to the opposite electrode;

a gate line driving means for supplying a first gate voltage or a second gate voltage to the gate line by switching them alternately by each period corresponding to one frame period and driving the gate line with progressive scanning by the first voltage level or the second

voltage level by one phase period interval, wherein the first gate voltage has a first voltage level which is a normal voltage in the first phase, a second voltage level which is higher than the first voltage level and maintains the thin film transistor in off state in the first phase, a third voltage level which turns the thin film transistor in on state in the second phase, and a fourth voltage level which is lower than the first voltage level in the third phase; the second gate voltage has a fifth voltage level which is lower than the first voltage level in the first phase, a sixth voltage level which turns on the thin film transistor in the second phase, a seventh voltage level which is higher than the first voltage level and turns off the thin film transistor in the third phase;

a signal line driving means for driving the signal line of each column during the period when the gate line are activated by the first voltage level or the second voltage level in the second phase and applying the gradation voltage having the voltage level corresponding to the desired display gradation to respective pixel electrode via the thin film transistor in on state.

【Claim 8】 A liquid crystal display panel, a liquid is sealed between the plurality of pixel electrode arrayed in a matrix and a opposition electrode;

in each column, all pixel electrodes are connected electrically to each signal line via corresponding thin film transistor;

in each row, a first gate line and a second gate line are formed; and a control terminal of the thin film transistor is connected electrically to the corresponding the first gate line or the second gate line wherein a first pixel whose pixel electrode is connected electrically to the first gate line or the second gate line in one former stage of row; and a control terminal of the thin film transistor is connected electrically to the corresponding the second gate line or the first gate line wherein a second pixel whose pixel electrode is connected electrically to the first gate line or the second gate line in one latter stage of row; and the first pixel and the second pixel are arrayed in a checkered pattern.

【Claim 9】 A liquid crystal display device comprising

the liquid crystal panel according to claim 8;

a means for applying constant voltage to the opposite electrode;

a gate line driving means for supplying a first gate voltage or a second gate voltage to the first gate line or the second gate line by switching them alternately by each period corresponding to one frame period and driving the gate line with progressive scanning by the

first voltage level or the second voltage level by one phase period interval, wherein the first gate voltage has a first voltage level which turns the thin film transistor in on state in the first phase, a second voltage level which is a normal voltage in the second phase, a third voltage level which is higher than the second voltage level and turn the thin film transistor in off state in the second phase; the second gate voltage has a fourth voltage level which turns the thin film transistor in on state in the first phase, a fifth voltage level which is lower than the second voltage level in the second phase;

a signal line driving means for driving the signal line of each column during the period when the first gate line and the second gate line are activated by the first voltage level or the second voltage level in the second phase and applying the gradation voltage having the voltage level corresponding to the desired display gradation to respective pixel electrode via the thin film transistor in on state.

【Claim 10】 A liquid crystal display device comprising
the liquid crystal panel according to claim 8;

a driving an opposition electrode driving means for switching the voltage of the opposition electrode between the first voltage level and the second voltage level alternately by each gate selection period;

a gate line driving means for supplying a first gate voltage or a second gate voltage to the gate line by switching them alternately by each period corresponding to one frame period and driving the gate line with progressive scanning by shifting the first gate voltage period and the second gate voltage period by one phase period alternately, wherein regarding the first gate voltage, in a non-selected period, the first gate voltage has a third and fourth voltage level which maintains the thin film transistor in off state in the first phase and the second phase respectively synchronous to the opposition electrode voltage phase, in a selected period corresponding to the first phase, the first gate voltage has a fifth voltage level which turns the thin film transistor in on state; regarding the second gate voltage, in a non-selected period, the second gate voltage has a sixth and seventh voltage level which maintains the thin film transistor in off state in the first phase and the second phase respectively synchronous to the opposition electrode voltage phase, in a selected period corresponding to the second phase, the first gate voltage has a ninth voltage level which turns the thin film transistor in on state;

a signal line driving means for driving the signal line of each column during the period

when the first gate line and the second gate line are selected by the first voltage level or the second voltage level and applying the gradation voltage having the voltage level corresponding to the desired display gradation to respective pixel electrode via the thin film transistor in on state.



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11352464 A**(43) Date of publication of application: **24.12.99**

(51) Int. Cl.

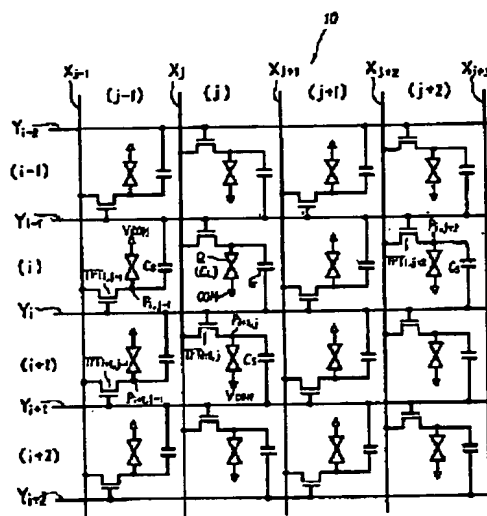
G02F 1/133**G02F 1/136****G09G 3/36**(21) Application number: **10175427**(22) Date of filing: **08.06.98**(71) Applicant: **TEXAS INSTR JAPAN LTD**(72) Inventor: **NISHIMURA MASAHIITO
FUKUMOTO TATSUHISA
FUJIMAKI ISAO**(54) **LIQUID CRYSTAL DISPLAY DEVICE AND LIQUID CRYSTAL PANEL** P_{ij} , P_{ij+2} is connected with rear next gate line Y_{i+1} .

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To achieve load reduction and dot reversal of a signal line driver at the same time on a thin film transistor(TFT) type liquid crystal display device.

SOLUTION: In each column (for instance, column j), all pixel electrodes $P_{i-1,j}$, P_{ij} , $P_{i+1,j}$... are connected with signal lines of each row $\dots X_{i-1}$, X_i , X_{i+1} ... via respectively corresponding TFT... $TFT_{i-1,j}$, TFT_{ij} , $TFT_{i+1,j}$... In each row (for instance, row i), control terminals of each TFT belonging to odd number columns... $(j-1)$, $(j+1)$... are connected with rear next gate line Y_i , and control terminals of each TFT belonging to even number columns... $(j-2)$, j , $(j+2)$... are connected with front next gate line Y_{i+1} . Moreover, each pixel electrode belonging to the odd number columns $\dots P_{i,j-1}$, $P_{i,j+1}$... is electrically connected with front next gate line Y_{i+1} via each corresponding signal accumulation assistance capacity CS , and each pixel electrode belonging to the even number columns... $P_{i,j-2}$,



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-352464

(43) 公開日 平成11年(1999)12月24日

(51) IntCl.⁵
 G 0 2 F 1/133
 1/136
 G 0 9 G 3/36

識別記号
 5 5 0
 5 0 0

F I
 G 0 2 F 1/133 5 5 0
 1/136 5 0 0
 G 0 9 G 3/36

審査請求 未請求 請求項の数10 F D (全 25 頁)

(21) 出願番号 特願平10-175427

(22) 出願日 平成10年(1998)6月8日

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社
 東京都新宿区新宿6丁目24番1号 西新宿三井ビル

(72) 発明者 西村 雅人

埼玉県鳩ヶ谷市南3丁目18番36号 日本テキサス・インスツルメンツ株式会社内

(72) 発明者 福本 達久

埼玉県鳩ヶ谷市南3丁目18番36号 日本テキサス・インスツルメンツ株式会社内

(72) 発明者 藤巻 功

埼玉県鳩ヶ谷市南3丁目18番36号 日本テキサス・インスツルメンツ株式会社内

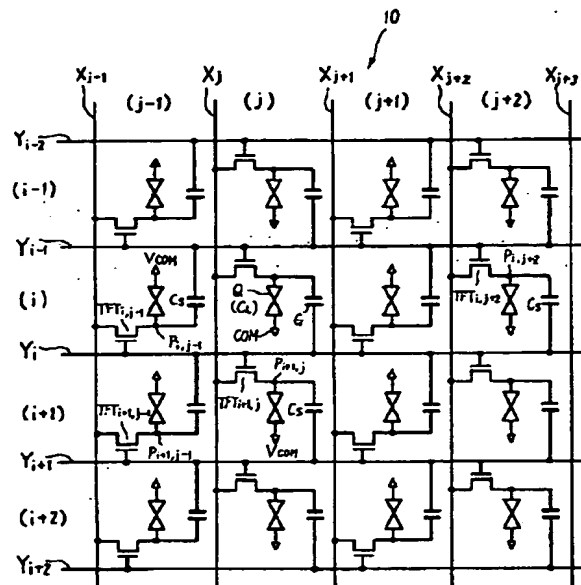
(74) 代理人 弁理士 佐々木 聖孝

(54) 【発明の名称】 液晶表示装置および液晶パネル

(57) 【要約】 (修正有)

【課題】 薄膜トランジスタ (TFT) 型の液晶表示装置において信号線ドライバの負担軽減とドット反転を同時に実現する。

【解決手段】 各列 (たとえば j 列) において、全ての画素電極… $P_{i-1,j}$ 、 $P_{i,j}$ 、 $P_{i+1,j}$ …が、それぞれ対応する TFT… $TFT_{i-1,j}$ 、 $TFT_{i,j}$ 、 $TFT_{i+1,j}$ …を介して各列の信号線… X_{i-1} 、 X_i 、 X_{i+1} …に接続する。各行 (たとえば i 行) においては、奇数列…、 $(i-1)$ 、 $(i+1)$ …に属する各 TFT の制御端子が後隣のゲート線 Y_i に接続され、偶数列…、 $(i-2)$ 、 i 、 $(i+2)$ …に属する各 TFT の制御端子が前隣のゲート線 Y_{i-1} に接続する。また、奇数列…に属する各画素電極… $P_{i,j-1}$ 、 $P_{i,j+1}$ …が各対応する信号蓄積補助容量 C_S を介して前隣のゲート線 Y_{i-1} に電気的に接続し、偶数列…に属する各画素電極… $P_{i,i-2}$ 、 $P_{i,i}$ 、 $P_{i,i+2}$ …が後隣のゲート線 Y_{i+1} に接続する。



【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各列において全ての画素電極がそれぞれ対応する薄膜トランジスタを介して各列分の信号線に電気的に接続され、各行において、奇数列に属する各々の前記薄膜トランジスタの制御端子が一方の隣の行と共有するゲート線に電気的に接続されるとともに、偶数列に属する各々の前記薄膜トランジスタの制御端子が他方の隣の行と共有するゲート線に電気的に接続され、奇数列に属する各々の前記画素電極が各対応する信号蓄積補助容量を介して前記他方の隣の行と共有するゲート線に電気的に接続されるとともに、偶数列に属する各々の前記画素電極が各対応する信号蓄積補助容量を介して前記一方の隣の行と共有するゲート線に電気的に接続されている液晶パネル。

【請求項2】 請求項1の液晶パネルと、前記対向電極に一定の電圧を印加する手段と、

第1のフェーズで定常の第1の電圧レベルよりも高く前記薄膜トランジスタをオフ状態に維持する第2の電圧レベルを有し、第2のフェーズで前記薄膜トランジスタをオンさせる第3の電圧レベルを有し、第3のフェーズで前記第1の電圧レベルよりも高く前記薄膜トランジスタをオフにする第4の電圧レベルを有する第1のゲート電圧と、第1のフェーズで前記第1の電圧レベルよりも低い第5の電圧レベルを有し、第2のフェーズで前記薄膜トランジスタをオンにする第6の電圧レベルを有し、第3のフェーズで前記第1の電圧よりも低い第7の電圧レベルを有する第2のゲート電圧とを互いにはば1フェーズ期間だけ時間をずらしてそれぞれはば2フェーズ期間の周期で前記ゲート線に線順次走査で順次供給し、前記第1および第2のゲート電圧を1フレーム期間に相当する周期で交互に切り換えて各々の前記ゲート線を駆動するゲート線駆動手段と、

各々の前記ゲート線が前記第1または第2のゲート電圧の第2のフェーズで活性化される期間中に各列の前記信号線を駆動して、オン状態となっている各々の前記薄膜トランジスタを介して各対応する前記画素電極に所望の表示階調に対応した電圧レベルを有する階調電圧を印加する信号線駆動手段とを有する液晶表示装置。

【請求項3】 前記ゲート線駆動手段が、前記第2の電圧レベルと前記第4の電圧レベル、前記第3の電圧レベルと前記第6の電圧レベル、および前記第5の電圧レベルと前記第7の電圧レベルをそれぞれ等しい電圧レベルで出力する電圧発生手段を有することを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各列において全ての画素電極がそれぞれ対応する薄膜トランジスタを介して各列分の信号線に電気的に接続され、各行において全ての前記薄膜トランジスタの制御端子が各行の

ゲート線に電気的に接続され、前記画素電極が各対応する信号蓄積補助容量を介して1つ前段の行のゲート線に電気的に接続される第1の画素と、前記画素電極が各対応する信号蓄積補助容量を介して2つ前段の行のゲート線に電気的に接続される第2の画素とが市松模様のパターンで配置されている液晶パネル。

【請求項5】 請求項4の液晶パネルと、前記対向電極に一定の電圧を印加する手段と、

第1フェーズで前記薄膜トランジスタをオンさせる第1の電圧レベルを有し、第2のフェーズで定常の第2の電圧レベルよりも低い第3の電圧レベルを有し、第3のフェーズで前記第2の電圧レベルよりも高く前記薄膜トランジスタをオフ状態に維持する第4の電圧レベルを有する第1のゲート電圧と、第1のフェーズで前記薄膜トランジスタをオンさせる第5の電圧レベルを有し、第2のフェーズで前記第2の電圧レベルよりも高く前記薄膜トランジスタをオフ状態にする第6の電圧レベルを有し、第3のフェーズで前記第2の電圧レベルよりも低い第7の電圧レベルを有する第2のゲート電圧とを1フレーム期間に相当する周期で交互に切り換えて各々の前記ゲート線に供給し、同一フレーム内では前記第1もしくは第2のゲート電圧によりほぼ1フェーズ期間の時間間隔で前記ゲート線を線順次走査で順次駆動するゲート線駆動手段と、

各々の前記ゲート線が前記第1または第2のゲート電圧の第2のフェーズで活性化される期間中に各列の前記信号線を駆動して、オン状態となっている各々の前記薄膜トランジスタを介して各対応する前記画素電極に所望の表示階調に対応した電圧レベルを有する階調電圧を印加する信号線駆動手段とを有する液晶表示装置。

【請求項6】 マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各列において全ての画素電極がそれぞれ対応する薄膜トランジスタを介して各列分の信号線に電気的に接続され、各行において全ての前記薄膜トランジスタの制御端子が各行のゲート線に電気的に接続され、前記画素電極が各対応する信号蓄積補助容量を介して1つ前段の行のゲート線に電気的に接続される第1の画素と、前記画素電極が各対応する信号蓄積補助容量を介して1つ後段の行のゲート線に電気的に接続される第2の画素とが市松模様のパターンで配置されている液晶パネル。

【請求項7】 請求項6の液晶パネルと、前記対向電極に一定の電圧を印加する手段と、

第1のフェーズで定常の第1の電圧レベルよりも高く前記薄膜トランジスタをオフ状態に維持する第2のレベルを有し、第2のフェーズで前記薄膜トランジスタをオンさせる第3の電圧レベルを有し、第3のフェーズで前記第1の電圧レベルよりも低い第4の電圧レベルを有する第1のゲート電圧と、第1のフェーズで前記第1の電圧レベルよりも低い第5の電圧レベルを有し、第2のフェ

ーズで前記薄膜トランジスタをオンさせる第 6 の電圧レベルを有し、第 3 のフェーズで前記第 1 の電圧レベルよりも高く前記薄膜トランジスタをオフ状態にする第 7 の電圧レベルを有する第 2 のゲート電圧とを 1 フレーム期間に相当する周期で交互に切り換えて各々の前記ゲート線に供給し、同一フレーム内では前記第 1 もしくは第 2 のゲート電圧によりほぼ 1 フェーズ期間の時間間隔で前記ゲート線を線順次走査で順次駆動するゲート線駆動手段と、

各々の前記ゲート線が前記第 1 または第 2 のゲート電圧の第 2 のフェーズで活性化される期間中に各列の前記信号線を駆動して、オン状態となっている各々の前記薄膜トランジスタを介して各対応する前記画素電極に所望の表示階調に対応した電圧レベルを有する階調電圧を印加する信号線駆動手段とを有する液晶表示装置。

【請求項 8】 マトリクス状に配置された複数の画素電極と 1 つの対向電極との間に液晶が充填され、各列において全ての画素電極がそれぞれ対応する薄膜トランジスタを介して各列分の信号線に電気的に接続され、各行毎に第 1 および第 2 のゲート線が設けられ、前記薄膜トランジスタの制御端子が各対応する行の第 1 もしくは第 2 のゲート線に電気的に接続されるとともに前記画素電極が 1 つ前段の行の第 1 もしくは第 2 のゲート線に電気的に接続される第 1 の画素と、前記薄膜トランジスタの制御端子が各対応する行の第 2 もしくは第 1 のゲート線に電気的に接続されるとともに前記画素電極が 1 つ前段の行の第 2 もしくは第 1 のゲート線に電気的に接続される第 2 の画素とが市松模様のパターンで配置されている液晶パネル。

【請求項 9】 請求項 8 の液晶パネルと、前記対向電極に一定の電圧を印加する手段と、第 1 フェーズで前記薄膜トランジスタをオンさせる第 1 の電圧レベルを有し、第 2 のフェーズで定常の第 2 の電圧レベルよりも高く前記薄膜トランジスタをオフ状態にする第 3 のレベルを有する第 1 のゲート電圧と、第 1 のフェーズで前記薄膜トランジスタをオンさせる第 4 の電圧レベルを有し、第 2 のフェーズで前記第 2 の電圧レベルよりも低い第 5 の電圧レベルを有する第 2 のゲート電圧とを 1 フレーム期間に相当する周期で交互に切り換えて各行の前記第 1 および第 2 のゲート線に供給し、同一フレーム内では前記第 1 および第 2 のゲート電圧によりほぼ 1 フェーズ期間の時間間隔で 1 行ずつ前記ゲート線を線順次走査で順次駆動するゲート線駆動手段と、各々の前記ゲート線が前記第 1 または第 2 のゲート電圧の第 2 のフェーズで活性化される期間中に各列の前記信号線を駆動して、オン状態となっている各々の前記薄膜トランジスタを介して各対応する前記画素電極に所望の表示階調に対応した電圧レベルを有する階調電圧を印加する信号線駆動手段とを有する液晶表示装置。

【請求項 10】 請求項 8 の液晶パネルと、

10

20

30

40

50

対向電極の電圧をゲート線選択時間毎に交互に第 1 の電圧レベルと第 2 の電圧レベルとに切り換える対向電極駆動手段と、

非選択時間中は前記対向電極電圧に同期した第 1 および第 2 のフェーズで前記薄膜トランジスタをオフ状態に維持する第 3 および第 4 の電圧レベルをそれぞれ有し、選択時間に対応する第 1 フェーズで前記薄膜トランジスタをオンにする第 5 の電圧レベルを有する第 1 のゲート電圧と、非選択時間中は前記対向電極電圧に同期した第 1 および第 2 のフェーズで前記薄膜トランジスタをオフ状態に維持する第 6 および第 7 の電圧レベルをそれぞれ有し、選択時間に対応する第 2 フェーズで前記薄膜トランジスタをオンにする第 9 の電圧レベルを有する第 2 のゲート電圧とを 1 フレーム期間に相当する周期で交互に切り換えて各々の前記ゲート線に供給し、同一フレーム内では前記第 1 および第 2 のゲート電圧を 1 フェーズ期間だけ時間をずらして前記ゲート線に線順次走査で順次供給するゲート線駆動手段と、

各々の前記ゲート線が前記第 1 または第 2 のゲート電圧によって選択されている期間中に各列の前記信号線を駆動して、オン状態となっている各々の前記薄膜トランジスタを介して各対応する前記画素電極に所望の表示階調に対応した電圧レベルを有する階調電圧を印加する信号線駆動手段とを有する液晶表示装置。

【発明の詳細な説明】

【0010】

【発明の属する技術分野】 本発明は、多階調表示を行う薄膜トランジスタ (TFT) 型の液晶ディスプレイ (TFT-LCD) および液晶パネルに関する。

【0020】

【従来の技術】 図 26 に、ゲート線の駆動方法として容量結合駆動方式が用いられる従来の TFT 液晶パネルの回路構成を示す。

【0030】 この種の液晶パネルは、複数本のゲート線 $\dots Y_{i-1}, Y_i, Y_{i+1} \dots$ と複数本の信号線 $\dots X_{j-1}, X_j, X_{j+1} \dots$ とをマトリクス状に交差配置し、各交差点の画素に透明導電膜からなる 1 個の画素電極 P と 1 個の薄膜トランジスタ TFT を配置してなる。ここでは、 $\dots (i-2), i, (i+2) \dots$ を偶数行とし、 $\dots (i-1), (i+1) \dots$ を奇数行とする。

【0040】 各画素電極 P と対向電極 COM と両者の間に挟まれた液晶 Q によって 1 画素分の信号蓄積容量 CL が構成される。また、各画素電極 P が形成される側と同じ側に、信号蓄積補助容量 CS を形成するための補助電極 G が配置されている。この液晶パネルでは、各補助電極 G が前段 (前隣) のゲート線 Y の延長部分によって構成されている。

【0050】 各列 (たとえば i 列) においては、全ての画素電極 $\dots P_{i-1,j}, P_{i,j}, P_{i+1,j} \dots$ が、それぞれ対応する薄膜トランジスタ $\dots TFT_{i-1,j}, TFT_{i,j}$

、 $TFT_{i+1,i}$ …を介して各列の信号線 X_i に電氣的に共通接続されている。各行（たとえば i 行）においては、その行の全ての薄膜トランジスタ… $TFT_{i,i-1}$ 、 $TFT_{i,i}$ 、 $TFT_{i,i+1}$ …の制御端子が共通のゲート線 Y_i に電氣的に接続されるとともに、全ての画素電極… $P_{i,i-1}$ 、 $P_{i,i}$ 、 $P_{i,i+1}$ …がそれぞれ対応する信号蓄積補助容量 CS を介して1つ前段（前隣）のゲート線 Y_{i-1} に電氣的に接続されている。

【0060】ゲート線… Y_{i-1} 、 Y_i 、 Y_{i+1} …は、ゲート線ドライバ（図示せず）により1フレーム期間（1V）内に通常は線順次走査で1行ずつ選択されてアクティブ状態に駆動される。

【0070】図27に、このTFT液晶パネルのゲート線 Y を駆動するためのゲート電圧の波形およびタイミングを示す。

【0080】この容量結合駆動方式では、対向電極 CO M に一定の対向電圧 V_{COM} を印加しながら、図示のように波形の異なる2つのゲート電圧 ϕ_a 、 ϕ_b を一定時間ずらして交互に線順次走査でゲート線… Y_{i-1} 、 Y_i 、 Y_{i+1} …に順次供給する。そして、各ゲート線… Y_{i-1} 、 Y_i 、 Y_{i+1} …に対しては、ゲート電圧 ϕ_a 、 ϕ_b を1フレーム期間に相当する周期 TF で交互に印加する。

【0090】一方のゲート電圧 ϕ_a は、2つのフェーズからなり、第1のフェーズでは薄膜トランジスタ TFT をオンさせる電圧レベル v_2 を有し、第2のフェーズでは定常の電圧レベル v_1 よりも低い電圧レベル v_3 を有している。他方のゲート電圧 ϕ_b も、2つのフェーズからなり、第1のフェーズでは上記電圧レベル v_2 を有し、第2のフェーズでは定常レベル v_1 よりも高く薄膜トランジスタ TFT をオフにする電圧レベル v_4 を有している。両ゲート電圧 ϕ_a 、 ϕ_b は第1フェーズの期間だけ互いに時間をずらした関係にある。

【0100】図27には、この液晶パネル内で連続する2つのゲート線 Y_i 、 Y_{i+1} 上の各画素電極の電位（画素電位）の時間的変化も示してある。

【0110】いま、 $(i-1)$ 行のゲート線 Y_{i-1} がゲート電圧 ϕ_a で駆動されるとき、このゲート電圧 ϕ_a が第1フェーズで定常の電圧レベル v_1 から電圧レベル v_2 まで上昇すると、信号蓄積補助容量 CS のカップリング効果によって i 行上の各画素電極… $P_{i,i-1}$ 、 $P_{i,i}$ 、 $P_{i,i+1}$ …の電位がそれまでの対向電極電圧 V_{COM} よりも低いレベル (①) から対向電極電圧 V_{COM} よりも高い値 (②) まで大きく上昇する。

【0120】次に、ゲート線 Y_{i-1} 上のゲート電圧 ϕ_a が第2フェーズで定常レベル v_1 よりも低い電圧レベル v_3 まで下がると、信号蓄積補助容量 CS のカップリング効果によって i 行上の各画素電極… $P_{i,i-1}$ 、 $P_{i,i}$ 、 $P_{i,i+1}$ …の電位がいったん対向電極電圧 V_{COM} よりも低い値まで下がる (③)。しかし、これと同時に、 i 行のゲート線 Y_i 上でゲート電圧 ϕ_b が第1フェーズ

で定常レベル v_1 から高い電圧レベル v_2 まで上がり、 i 行の全ての薄膜トランジスタ… $TFT_{i,i-1}$ 、 $TFT_{i,i}$ 、 $TFT_{i,i+1}$ …がオン状態となる。

【0130】この状態の下で、信号線ドライバ（図示せず）より、対向電極電圧 V_{COM} を中心として所定の電圧範囲 V_k 内の電圧レベルを有する各階調電圧が各信号線… X_{i-1} 、 X_i 、 X_{i+1} …に供給され、各画素電極… $P_{i,i-1}$ 、 $P_{i,i}$ 、 $P_{i,i+1}$ …の電位は対向電極電圧 V_{COM} 付近の値となる (④)。

【0140】一方、上記のようにゲート線 Y_i 上のゲート電圧 ϕ_b が第1フェーズで高い電圧レベル v_2 まで上がった時に、信号蓄積補助容量 CS のカップリング効果によって次段の $(i+1)$ 行上の各画素電極… $P_{i+1,i-1}$ 、 $P_{i+1,i}$ 、 $P_{i+1,i+1}$ …の電位がそれまでの対向電極電圧 V_{COM} よりも高いレベル (①') からさらに高いレベル (②') まで大きく上昇する。

【0150】次に、ゲート線 Y_i 上のゲート電圧 ϕ_b が第2フェーズの電圧レベル v_4 まで下がって、 i 行の各薄膜トランジスタ… $TFT_{i,i-1}$ 、 $TFT_{i,i}$ 、 $TFT_{i,i+1}$ …がオフ状態に戻り、各画素電極… $P_{i,i-1}$ 、 $P_{i,i}$ 、 $P_{i,i+1}$ …はフローティング状態となる。この時、前段のゲート線 Y_{i-1} 上でゲート電圧 ϕ_b が第2フェーズの低電圧レベル v_3 から定常レベル v_1 まで上昇することにより、信号蓄積補助容量 CS のカップリング効果によって各画素電極… $P_{i,i-1}$ 、 $P_{i,i}$ 、 $P_{i,i+1}$ …の電位は対向電極電圧 V_{COM} よりも高いレベルまで上昇する (⑤)。

【0160】以後、ゲート電圧 ϕ_b が第2フェーズの電圧レベル v_4 から定常の電圧レベル v_1 に下がった時に、各薄膜トランジスタ… $TFT_{i,i-1}$ 、 $TFT_{i,i}$ 、 $TFT_{i,i+1}$ …のゲート・ソース間容量によるフィード・スルー効果で少し下がるものの、各画素電極… $P_{i,i-1}$ 、 $P_{i,i}$ 、 $P_{i,i+1}$ …の電位は対向電極電圧 V_{COM} よりも高いレベル (⑥) に維持される。

【0170】一方、上記のように i 行ゲート線 Y_i 上のゲート電圧 ϕ_b が第2フェーズで電圧レベル v_4 まで下がると、信号蓄積補助容量 CS のカップリング効果によって $(i+1)$ 行上の各画素電極… $P_{i+1,i-1}$ 、 $P_{i+1,i}$ 、 $P_{i+1,i+1}$ …の電位が元のレベル (①') 付近まで下がる (③')。そして、これと同時に、 $(i+1)$ 行ゲート線 Y_{i+1} 上でゲート電圧 ϕ_a が第1フェーズで高い電圧レベル v_2 まで上昇し、これにより $(i+1)$ 行の全ての薄膜トランジスタ… $TFT_{i+1,i-1}$ 、 $TFT_{i+1,i}$ 、 $TFT_{i+1,i+1}$ …がオン状態となる。

【0180】この状態の下で、信号線ドライバより、対向電極電圧 V_{COM} を中心として所定の電圧範囲 V_k 内の電圧レベルを有する各階調電圧が各信号線… X_{i-1} 、 X_i 、 X_{i+1} …に供給されることにより、各画素電極… $P_{i+1,i-1}$ 、 $P_{i+1,i}$ 、 $P_{i+1,i+1}$ …の電位は対向電極電圧 V_{COM} 付近の値となる (④')。

【0190】次に、ゲート線 Y_{i+1} 上のゲート電圧 ϕ_a が第2フェーズで電圧レベル v_3 まで下がって、各薄膜トランジスタ… $TFT_{i+1,i-1}$ 、 $TFT_{i+1,i}$ 、 $TFT_{i+1,i+1}$ …がオフ状態に戻り、各画素電極… $P_{i+1,i-1}$ 、 $P_{i+1,i}$ 、 $P_{i+1,i+1}$ …はフローティング状態となる。この時、前段の i 行のゲート線 Y_i 上でゲート電圧 ϕ_b が第2フェーズの電圧レベル v_4 から定常のレベル v_1 まで下がることにより、信号蓄積補助容量 CS のカップリング効果により各画素電極… $P_{i+1,i-1}$ 、 $P_{i+1,i}$ 、 $P_{i+1,i+1}$ …の電位が対向電極電圧 V_{COM} よりも低いレベルまで低下する (⑤')。

【0200】以後、ゲート電圧 ϕ_a が第2フェーズの電圧レベル v_4 から定常の電圧レベル v_1 上がった時に、各薄膜トランジスタ… $TFT_{i+1,i-1}$ 、 $TFT_{i+1,i}$ 、 $TFT_{i+1,i+1}$ …のゲート・ソース間容量によるフィード・スルー効果で少し上がるものの、各画素電極… $P_{i+1,i-1}$ 、 $P_{i+1,i}$ 、 $P_{i+1,i+1}$ …の電位は対向電極電圧 V_{COM} よりも低いレベル (⑥') に維持される。

【0210】このように、当該フレーム期間内に、 i 行の各画素電極… $P_{i,i-1}$ 、 $P_{i,i}$ 、 $P_{i,i+1}$ …には対向電極電圧 V_{COM} よりも高い階調電圧が書き込まれ、($i+1$) 行の各画素電極… $P_{i+1,i-1}$ 、 $P_{i+1,i}$ 、 $P_{i+1,i+1}$ …には対向電極電圧 V_{COM} よりも低い階調電圧が書き込まれる。

【0220】同様に、他の全ての偶数行… ($i-2$)、($i+2$) …の各画素電極 P には対向電極電圧 V_{COM} より高い階調電圧が書き込まれ、他の全ての奇数行… ($i-1$)、($i+3$) …の各画素電極 P には対向電極電圧 V_{COM} より低い階調電圧が書き込まれる。

【0230】次のフレーム期間内では、各ゲート線… Y_{i-1} 、 Y_i 、 Y_{i+1} …を駆動するゲート電圧 ϕ_a 、 ϕ_b が互いに入れ替わり、偶数行の各ゲート線… Y_{i-2} 、 Y_i 、 Y_{i+2} …にはゲート電圧 ϕ_a が供給され、奇数行の各ゲート線… Y_{i-1} 、 Y_{i+1} …にはゲート電圧 ϕ_b が供給される。これにより、上記と動作が反対になり、偶数行… ($i-2$)、 i 、($i+2$) …の各画素電極 P には対向電極電圧 V_{COM} よりも低い階調電圧が書き込まれ、奇数行… ($i-1$)、($i+1$) …の各画素電極 P には対向電極電圧 V_{COM} よりも高い階調電圧が書き込まれる。

【0240】

【発明が解決しようとする課題】上記の容量結合駆動方式によれば、ゲート電圧 ϕ_a 、 ϕ_b と信号蓄積容量 CS を用いた容量結合駆動により、対向電極電圧 V_{COM} を一定レベルに固定するコモン一定駆動法において信号線 X に供給する階調電圧の範囲 (振幅) V_k を小さくできるため、小型・低電圧型の信号線ドライバを使用できるという利点がある。

【0250】しかしながら、上記のような容量結合駆動方式では、上記容量結合駆動が各行の全ての画素につい

て同じ作用で行われるため、 Y 方向における1画素毎の反転 (ライン反転) は可能であるものの、 X 、 Y 両方向における1画素毎の反転 (ドット反転) は行えないという不都合がある。

【0260】図28に、ドット反転のパターンを示す。図示のように、フレーム F が切り替わる度毎に (F_n 、 F_{n+1})、液晶パネル内の各画素に書き込まれる階調電圧の極性が交互に反転する。そして、 Y 方向で1ライン毎に各画素の極性が反転するとともに、 X 方向でも1画素毎に極性が反転する。

【0270】ドット反転においては、隣合う信号線ないし画素電極で階調電圧の極性が反転するので、書き込み時に対向電極等で流れる電流が隣同士で打ち消し合い、これによって表示品質の低下が抑制される。ドット反転は、これから的高精細化パネルで要求される駆動様式である。

【0280】本発明は、かかる問題点に鑑みてなされたもので、コモン一定駆動法において信号線ドライバの負担軽減とドット反転を同時に実現する液晶パネルおよび液晶表示装置を提供することを目的とする。

【0290】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1の液晶パネルは、マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各列において全ての画素電極がそれぞれ対応する薄膜トランジスタを介して各列分の信号線に電気的に接続され、各行において、奇数列に属する各々の前記薄膜トランジスタの制御端子が一方の隣の行と共有するゲート線に電気的に接続されるとともに、偶数列に属する各々の前記薄膜トランジスタの制御端子が他方の隣の行と共有するゲート線に電気的に接続され、奇数列に属する各々の前記画素電極が各対応する信号蓄積補助容量を介して前記他方の隣の行と共有するゲート線に電気的に接続されるとともに、偶数列に属する各々の前記画素電極が各対応する信号蓄積補助容量を介して前記一方の隣の行と共有するゲート線に電気的に接続されている構成とした。

【0300】本発明の第1の液晶表示装置は、上記第1の液晶パネルと、前記対向電極に一定の電圧を印加する手段と、第1のフェーズで定常の第1の電圧レベルよりも高く前記薄膜トランジスタをオフ状態に維持する第2の電圧レベルを有し、第2のフェーズで前記薄膜トランジスタをオンさせる第3の電圧レベルを有し、第3のフェーズで前記第1の電圧レベルよりも高く前記薄膜トランジスタをオフにする第4の電圧レベルを有する第1のゲート電圧と、第1のフェーズでは前記第1の電圧レベルよりも低い第5の電圧レベルを有し、第2のフェーズで前記薄膜トランジスタをオンにする第6の電圧レベルを有し、第3のフェーズで前記第1の電圧よりも低い第7の電圧レベルを有する第2のゲート電圧とを互いにほ

は 1 フェーズ期間だけ時間をずらしてそれぞれほぼ 2 フェーズ期間の周期で前記ゲート線に線順次走査で順次供給し、前記第 1 および第 2 のゲート電圧を 1 フレーム期間に相当する周期で交互に切り換えて各々の前記ゲート線を駆動するゲート線駆動手段と、各々の前記ゲート線が前記第 1 または第 2 のゲート電圧の第 2 のフェーズで活性化される期間中に各列の前記信号線を駆動して、オン状態となっている各々の前記薄膜トランジスタを介して各対応する前記画素電極に所望の表示階調に対応した電圧レベルを有する階調電圧を印加する信号線駆動手段とを有する構成とした。

【0310】本発明の一実施態様によれば、上記第 1 の液晶表示装置において、前記ゲート線駆動手段が、前記第 2 の電圧レベルと前記第 4 の電圧レベル、前記第 3 の電圧レベルと前記第 6 の電圧レベル、および前記第 5 の電圧レベルと前記第 7 の電圧レベルをそれぞれ等しい値で出力する電圧レベル発生手段を有する。

【0320】また、本発明の第 2 の液晶パネルは、マトリクス状に配置された複数の画素電極と 1 つの対向電極との間に液晶が充填され、各列において全ての画素電極がそれぞれ対応する薄膜トランジスタを介して各列分の信号線に電気的に接続され、各行において全ての前記薄膜トランジスタの制御端子が各行のゲート線に電気的に接続され、前記画素電極が各対応する信号蓄積補助容量を介して 1 つ前段の行のゲート線に電気的接続されている第 1 の画素と、前記画素電極が各対応する信号蓄積補助容量を介して 2 つ前段の行のゲート線に電気的接続されている第 2 の画素とが市松模様のパターンで配置されている構成とした。

【0330】本発明の第 2 の液晶表示装置は、上記第 2 の液晶パネルと、前記対向電極に一定の電圧を印加する手段と、第 1 フェーズで前記薄膜トランジスタをオンさせる第 1 の電圧レベルを有し、第 2 のフェーズで定常の第 2 の電圧レベルよりも低い第 3 の電圧レベルを有し、第 3 のフェーズで前記第 2 の電圧レベルよりも高く前記薄膜トランジスタをオフ状態に維持する第 4 の電圧レベルを有する第 1 のゲート電圧と、第 1 のフェーズで前記薄膜トランジスタをオンさせる第 5 の電圧レベルを有し、第 2 のフェーズで前記第 2 の電圧レベルよりも高く前記薄膜トランジスタをオフ状態にする第 6 の電圧レベルを有し、第 3 のフェーズで前記第 2 の電圧レベルよりも低い第 7 の電圧レベルを有する第 2 のゲート電圧とを 1 フレーム期間に相当する周期で交互に切り換えて各々の前記ゲート線に供給し、同一フレーム内では前記第 1 もしくは第 2 のゲート電圧によりほぼ 1 フェーズ期間の時間間隔で前記ゲート線を線順次走査で順次駆動するゲート線駆動手段と、各々の前記ゲート線が前記第 1 または第 2 のゲート電圧の第 2 のフェーズで活性化される期間中に各列の前記信号線を駆動して、オン状態となっている各々の前記薄膜トランジスタを介して各対応する前

記画素電極に所望の表示階調に対応した電圧レベルを有する階調電圧を印加する信号線駆動手段とを有する構成とした。

【0340】本発明の第 3 の液晶パネルは、マトリクス状に配置された複数の画素電極と 1 つの対向電極との間に液晶が充填され、各列において全ての画素電極がそれぞれ対応する薄膜トランジスタを介して各列分の信号線に電気的に接続され、各行において全ての前記薄膜トランジスタの制御端子が各行のゲート線に電気的に接続され、前記画素電極が各対応する信号蓄積補助容量を介して 1 つ前段の行のゲート線に電気的に接続される第 1 の画素と、前記画素電極が各対応する信号蓄積補助容量を介して 1 つ後段の行のゲート線に電気的に接続される第 2 の画素とが市松模様のパターンで配置されている構成とした。

【0350】本発明の第 3 の液晶表示装置は、上記第 3 の液晶パネルと、前記対向電極に一定の電圧を印加する手段と、第 1 のフェーズで定常の第 1 の電圧レベルよりも高く前記薄膜トランジスタをオフ状態に維持する第 2 のレベルを有し、第 2 のフェーズで前記薄膜トランジスタをオンさせる第 3 の電圧レベルを有し、第 3 のフェーズで前記第 1 の電圧レベルよりも低い第 4 の電圧レベルを有する第 1 のゲート電圧と、第 1 のフェーズで前記第 1 の電圧レベルよりも低い第 5 の電圧レベルを有し、第 2 のフェーズで前記薄膜トランジスタをオンさせる第 6 の電圧レベルを有し、第 3 のフェーズで前記第 1 の電圧レベルよりも高く前記薄膜トランジスタをオフ状態にする第 7 の電圧レベルを有する第 2 のゲート電圧とを 1 フレーム期間に相当する周期で交互に切り換えて各々の前記ゲート線に供給し、同一フレーム内では前記第 1 もしくは第 2 のゲート電圧によりほぼ 1 フェーズ期間の時間間隔で前記ゲート線を線順次走査で順次駆動するゲート線駆動手段と、各々の前記ゲート線が前記第 1 または第 2 のゲート電圧の第 2 のフェーズで活性化される期間中に各列の前記信号線を駆動して、オン状態となっている各々の前記薄膜トランジスタを介して各対応する前記画素電極に所望の表示階調に対応した電圧レベルを有する階調電圧を印加する信号線駆動手段とを有する構成とした。

【0360】本発明の第 4 の液晶パネルは、マトリクス状に配置された複数の画素電極と 1 つの対向電極との間に液晶が充填され、各列において全ての画素電極がそれぞれ対応する薄膜トランジスタを介して各列分の信号線に電気的に接続され、各行毎に第 1 および第 2 のゲート線が設けられ、前記薄膜トランジスタの制御端子が各対応する行の第 1 または第 2 のゲート線に電気的に接続されるとともに前記画素電極が 1 つ前段の行の第 1 または第 2 のゲート線に電気的に接続される第 1 の画素と、前記薄膜トランジスタの制御端子が各対応する行の第 2 または第 1 のゲート線に電気的に接続されるとともに前記

10

20

30

40

50

画素電極が1つ前段の行の第2または第1のゲート線に電気的に接続される第2の画素とが市松模様のパターンで配置されている構成とした。

【0370】本発明の第4の液晶表示装置は、上記第4の液晶パネルと、前記対向電極に一定の電圧を印加する手段と、第1フェーズで前記薄膜トランジスタをオンさせる第1の電圧レベルを有し、第2のフェーズで定常の第2の電圧レベルよりも高く前記薄膜トランジスタをオフ状態にする第3のレベルを有する第1のゲート電圧と、第1のフェーズで前記薄膜トランジスタをオンさせる第4の電圧レベルを有し、第2のフェーズで前記第2の電圧レベルよりも低い第5の電圧レベルを有する第2のゲート電圧とを1フレーム期間に相当する周期で交互に切り換えて各行の前記第1および第2のゲート線に供給し、同一フレーム内では前記第1および第2のゲート電圧によりほぼ1フェーズ期間の時間間隔で1行ずつ前記ゲート線を線順次走査で順次駆動するゲート線駆動手段と、各々の前記ゲート線が前記第1または第2のゲート電圧の第2のフェーズで活性化される期間中に各列の前記信号線を駆動して、オン状態となっている各々の前記薄膜トランジスタを介して各対応する前記画素電極に所望の表示階調に対応した電圧レベルを有する階調電圧を印加する信号線駆動手段とを有する構成とした。

【0380】本発明の第5の液晶表示装置は、上記第4の液晶パネルと、対向電極の電圧をゲート線選択時間毎に交互に第1の電圧レベルと第2の電圧レベルとに切り換える対向電極駆動手段と、非選択時間中は前記対向電極電圧に同期した第1および第2のフェーズで前記薄膜トランジスタをオフ状態に維持する第3および第4の電圧レベルをそれぞれ有し、選択時間に対応する第1フェーズで前記薄膜トランジスタをオンにする第5の電圧レベルを有する第1のゲート電圧と、非選択時間中は前記対向電極電圧に同期した第1および第2のフェーズで前記薄膜トランジスタをオフ状態に維持する第6および第7の電圧レベルをそれぞれ有し、選択時間に対応する第2フェーズで前記薄膜トランジスタをオンにする第9の電圧レベルを有する第2のゲート電圧とを1フレーム期間に相当する周期で交互に切り換えて各々の前記ゲート線に供給し、同一フレーム内では前記第1および第2のゲート電圧を1フェーズ期間だけ時間をずらして前記ゲート線に線順次走査で順次供給するゲート線駆動手段と、各々の前記ゲート線が前記第1または第2のゲート電圧によって選択されている期間中に各列の前記信号線を駆動して、オン状態となっている各々の前記薄膜トランジスタを介して各対応する前記画素電極に所望の表示階調に対応した電圧レベルを有する階調電圧を印加する信号線駆動手段とを有する構成とした。

【0390】

【発明の実施の形態】以下、図1～図25を参照して本発明の実施例を説明する。

【0400】図1に、本発明の一実施例によるアクティブマトリクス方式のフルカラーTFT-LCDの構成を模式的に示す。

【0410】このTFT-LCDは、TFT液晶パネル10の周辺回路として、ゲート線Y1, Y2, …を駆動するための並列接続されたゲート線ドライバG1, G2, …と、信号線X1, X2, …を駆動するための並列接続された信号線（ソース）ドライバS1, S2, …と、各部の動作を制御するコントローラ12と、表示すべき画像信号に対して所要の信号処理を行う画像信号処理回路14と、フルカラー（多階調表示）を実現するための多階調の電圧を発生する階調電圧発生回路16と、ゲート電圧を生成するための複数種類の電圧レベルを発生する電圧レベル発生回路18とを備えている。

【0420】画像信号処理回路14は、各画素の表示階調を表すデジタルの画像データDXを各信号線ドライバS1, S2, …に供給する。たとえば64階調の場合は、R, G, Bの各画素につき6ビットの画像データDXが画像信号処理回路14より各信号線ドライバS1, S2, …に与えられる。

【0430】コントローラ12は、水平同期信号HSおよび垂直同期信号VSに同期した種々の制御信号またはタイミング信号を各ゲート線ドライバG1, G2, …および各信号線ドライバS1, S2, …に供給する。階調電圧発生回路16は、液晶パネル10のV（電圧）-T（透過率）特性に基づいて表示の多階調に対応した電圧レベルをそれぞれ有する多段階の階調電圧を各信号線ドライバS1, S2, …に供給する。

【0440】図2に本発明の第1の実施例における液晶パネル10の回路構成を示す。この液晶パネル10は、複数本のゲート線…Y_{i-1}, Y_i, Y_{i+1}…と複数本の信号線…X_{i-1}, X_i, X_{i+1}…とをマトリクス状に交差配置し、各交差点の画素に透明導電膜からなる1個の画素電極Pと1個の薄膜トランジスタTFTを配置してなる。

【0450】なお、図2では、…(i-2), i, (i+2)…を偶数行とし、…(i-1), (i+1)…を奇数行とする。また、…(i-2), i, (i+2)…を偶数列とし、…(i-1), (i+1)…を奇数列とする。

【0460】各画素電極Pと対向電極COMと両者の間に挟まれた液晶Qによって1画素分の信号蓄積容量C_Lが構成される。また、各画素電極Pが形成される側と同じ側に、信号蓄積補助容量C_Sを形成するための補助電極Gが配置されている。この液晶パネルでは、各行（たとえばi行）において、奇数列の各補助電極Gは前段の(i-1)行と共有する前隣のゲート線Y_{i-1}の延長部分により構成され、偶数列の各補助電極Gは次段の(i+1)行と共有する後隣のゲート線Y_iの延長部分によって構成されている。

【0470】各列（たとえば i 列）において、全ての画素電極… $P_{i-1,i}$ 、 $P_{i,i}$ 、 $P_{i+1,i}$ …は、それぞれ対応する薄膜トランジスタ… $TFT_{i-1,i}$ 、 $TFT_{i,i}$ 、 $TFT_{i+1,i}$ …を介して各列の信号線… X_{i-1} 、 X_i 、 X_{i+1} …に電気的に接続されている。

【0480】各行（たとえば i 行）においては、奇数列…、 $(i-1)$ 、 $(i+1)$ …に属する各薄膜トランジスタ… $TFT_{i,i-1}$ 、 $TFT_{i,i+1}$ …の制御端子が後隣のゲート線 Y_i に電気的に接続され、偶数列…、 $(i-2)$ 、 i 、 $(i+2)$ …に属する各薄膜トランジスタ… $TFT_{i,i-2}$ 、 $TFT_{i,i}$ 、 $TFT_{i,i+2}$ …の制御端子が前隣のゲート線 Y_{i-1} に電気的に接続されている。また、奇数列…、 $(i-1)$ 、 $(i+1)$ …に属する各画素電極… $P_{i,i-1}$ 、 $P_{i,i+1}$ …が各対応する信号蓄積補助容量 CS を介して前隣のゲート線 Y_{i-1} に電気的に接続され、偶数列…、 $(i-2)$ 、 i 、 $(i+2)$ …に属する各画素電極… $P_{i,i-2}$ 、 $P_{i,i}$ 、 $P_{i,i+2}$ …が各対応する信号蓄積補助容量 CS を介して後隣のゲート線 Y_{i+1} に電気的に接続されている。

【0490】この液晶パネル構造は、従来のパネル構造（図26）と比較して偶数列の各画素内の配線上の相違があるだけであり、従来と同じ製造プロセスで製作できる。

【0500】図3に、この実施例における液晶パネル10のゲート線 Y を駆動するためのゲート電圧の波形およびタイミングを示す。

【0510】本実施例における容量結合駆動方式では、対向電極 COM に一定の対向電圧 V_{COM} を印加しながら、図示のように波形の異なる2つのゲート電圧 ϕA 、 ϕB を一定時間ずらして交互に線順次走査でゲート線… Y_{i-1} 、 Y_i 、 Y_{i+1} …に順次供給する。そして、各ゲート線… Y_{i-1} 、 Y_i 、 Y_{i+1} …に対しては、ゲート電圧 ϕA 、 ϕB を1フレーム期間に相当する周期 TF で交互に印加する。

【0520】一方のゲート電圧 ϕA は、3つのフェーズからなり、第1のフェーズでは定常の電圧レベル $V1$ （たとえば5ボルト）よりも高く薄膜トランジスタ TFT をオフ状態に維持する電圧レベル $V2$ （たとえば10ボルト）を有し、第2のフェーズでは薄膜トランジスタ TFT をオンさせる電圧レベル $V3$ （たとえば25ボルト）を有し、第3のフェーズでは電圧レベル $V2$ を有する。

【0530】他方のゲート電圧 ϕB も、3つのフェーズからなり、第1のフェーズでは定常の電圧レベル $V1$ よりも低い電圧レベル $V4$ （たとえば0ボルト）を有し、第2のフェーズでは電圧レベル $V3$ を有し、第3のフェーズでは電圧レベル $V4$ を有する。両ゲート電圧 ϕA 、 ϕB は第1フェーズの期間だけ互いに時間をずらした関係にある。

【0540】図4に、本実施例における作用を説明する

ための一例として、液晶パネル10内で隣接する3つの画素電極 $P_{i,i-1}$ 、 $P_{i+1,i}$ 、 $P_{i+1,i-1}$ の電位（画素電位）の時間的変化を示す。

【0550】いま、 $(i-1)$ 行のゲート線 Y_{i-1} がゲート電圧 ϕA で駆動されるとき、このゲート電圧 ϕA が第1フェーズで定常の電圧レベル $V1$ から中間の電圧レベル $V2$ まで上昇すると、信号蓄積補助容量 CS のカップリング効果によって i 行上で奇数列に属する $(i-1)$ 列の画素電極 $P_{i,i-1}$ の電位がそれまでの対向電極電圧 V_{COM} よりも高いレベル ($A1$) からさらに高いレベル ($A2$) まで上昇する。

【0560】次に、ゲート線 Y_{i-1} 上のゲート電圧 ϕA が第2フェーズで電圧レベル $V2$ よりさらに高い電圧レベル $V3$ まで上がり、それに伴い、信号蓄積補助容量 CS のカップリング効果によって該画素電極 $P_{i,i-1}$ の電位が一層高いレベル ($A3$) まで上がる。

【0570】これと同時に、 i 行のゲート線 Y_i 上ではゲート電圧 ϕA が第1フェーズで定常レベル $V1$ から低い電圧レベル $V4$ に下がる。そうすると、 $(i+1)$ 行上で奇数列に属する $(i-1)$ 列の画素電極 $P_{i+1,i-1}$ の電位は、信号蓄積補助容量 CS のカップリング効果により、それまでの対向電極電圧 V_{COM} よりも低いレベル ($C1$) からさらに低いレベル ($C2$) まで低下する。

【0580】同じ $(i+1)$ 行上でも偶数列に属する i 列の画素電極 $P_{i+1,i}$ は、それと対応する信号蓄積補助容量 CS を介して $(i+1)$ 行のゲート線 Y_{i+1} に電気的に接続されているので、ゲート線 Y_i 側からの容量結合効果はなく、それまでの電位 ($B1$) は変化しない。

【0590】次に、ゲート線 Y_{i-1} 上のゲート電圧 ϕA が第3フェーズで中間の電圧レベル $V2$ に下がると、信号蓄積補助容量 CS のカップリング効果によって画素電極 $P_{i,i-1}$ の電位が第1フェーズの時のレベル ($A4$) まで下がる。同時に、後隣のゲート線 Y_i 上でゲート電圧 ϕB が第2フェーズで高い電圧レベル $V2$ まで上昇し、これにより薄膜トランジスタ $TFT_{i,i-1}$ はオン状態となる。

【0600】一方、ゲート線 Y_{i+1} 上でゲート電圧 ϕA が第1フェーズで定常レベル $V1$ から中間の電圧レベル $V2$ まで上がり、信号蓄積補助容量 CS のカップリング効果によって画素電極 $P_{i+1,i}$ の電位がそれまでの電位 ($B1$) から幾らか高いレベル ($B2$) まで上がる。同時に、上記のようにゲート線 Y_i 上のゲート電圧 ϕB が第2フェーズで高い電圧レベル $V2$ に上がることで、薄膜トランジスタ $TFT_{i+1,i}$ がオン状態となる。

【0610】この状態の下で、信号線ドライバより、対向電極電圧 V_{COM} を中心として所定の電圧範囲 V_K 内の電圧レベルを有する各階調電圧が各信号線… X_{i-1} 、 X_i 、 X_{i+1} …に供給され、オン状態の薄膜トランジスタ $TFT_{i,i-1}$ 、 $TFT_{i+1,i}$ を介して当該画素電極… $P_{i,i-1}$ 、 $P_{i+1,i}$ に各階調電圧 ($A5$ 、 $B3$) が書き込

まれる。

【0620】また、上記のようにゲート線 Y_i 上のゲート電圧 ϕ_B が第2フェーズで高い電圧レベル V_2 まで上昇することにより、信号蓄積補助容量 CS のカップリング効果によって次段の $(i+1)$ 行上の画素電極 $P_{i+1,i-1}$ の電位がそれまでの対向電極電圧 V_{COM} よりもずっと低いレベル(C_2)から対向電極電圧 V_{COM} を越えるレベル(C_3)まで大きく上昇する。

【0630】次に、 i 行のゲート線 Y_i 上のゲート電圧 ϕ_B が第3フェーズで電圧レベル V_4 まで下がって、薄膜トランジスタ $\cdots TFT_{i,i-1}$ 、 $TFT_{i+1,i}$ がオフ状態に戻り、両画素電極 $\cdots P_{i,i-1}$ 、 $P_{i+1,i}$ はフローティング状態となる。この時、ゲート線 Y_{i-1} 上でゲート電圧 ϕ_A が定常の電圧レベル V_1 に下がる。これにより、信号蓄積補助容量 CS のカップリング効果で画素電極 $P_{i,i-1}$ の電位は対向電極電圧 V_{COM} よりも低いレベル(A_6)まで下がる。一方、ゲート線 Y_{i+1} 上のゲート電圧 ϕ_A は第2フェーズで高い電圧レベル V_2 に上がる。これにより、信号蓄積補助容量 CS のカップリング効果で画素電極 $P_{i+1,i}$ の電位は対向電極電圧 V_{COM} よりも高いレベル(B_4)まで上がる。

【0640】一方、上記のようにゲート線 Y_i 上のゲート電圧 ϕ_B が第3フェーズで電圧レベル V_4 まで下がることにより、信号蓄積補助容量 CS のカップリング効果によって画素電極 $P_{i+1,i-1}$ の電位が対向電極電圧 V_{COM} よりも低いレベル(C_4)までいったん下がる。しかし、当該ゲート線 Y_{i+1} 上のゲート電圧 ϕ_A が第2フェーズで高い電圧レベル V_2 に上がることにより、薄膜トランジスタ $TFT_{i+1,i-1}$ がオン状態となる。

【0650】この状態の下で、信号線ドライバより、対向電極電圧 V_{COM} を中心として所定の電圧範囲 V_k 内の電圧レベルを有する各階調電圧が各信号線 $\cdots X_{i-1}$ 、 X_i 、 X_{i+1} …に供給され、当該画素電極 $\cdots P_{i+1,i-1}$ の電位は対向電極電圧 V_{COM} 付近のレベル(C_5)となる。

【0660】次に、ゲート線 Y_i 上のゲート電圧 ϕ_B が第3フェーズの低い電圧レベル V_4 から定常レベル V_1 に戻ると、薄膜トランジスタ $TFT_{i,i-1}$ のゲート・ソース間容量によるフィード・スルー効果で少し上がる。以後、次のフレーム期間内で自己の選択(書き込み)時間が来るまで、画素電極 $P_{i,i-1}$ の電位は対向電極電圧 V_{COM} よりも低いレベル(A_7)に維持される。

【0670】一方、ゲート線 Y_{i+1} 上のゲート電圧 ϕ_A が第3フェーズで電圧レベル V_4 まで下がることにより、信号蓄積補助容量 CS のカップリング効果によって画素電極 $P_{i+1,i}$ の電位が対向電極電圧 V_{COM} 付近のレベル(B_5)まで下がる。

【0680】また、ゲート線 Y_{i+1} 上のゲート電圧 ϕ_A が第3フェーズで電圧レベル V_2 まで下がって、薄膜トランジスタ $\cdots TFT_{i+1,i-1}$ がオフ状態に戻り、画素電

極 $P_{i+1,i-1}$ はフローティング状態となる。同時に、上記のようにゲート線 Y_i 上のゲート電圧 ϕ_B が第3フェーズの低い電圧レベル V_4 から定常レベル V_1 に上がることで、信号蓄積補助容量 CS のカップリング効果で画素電極 $P_{i+1,i-1}$ の電位は対向電極電圧 V_{COM} よりも高いレベル(C_6)まで上がる。

【0690】次に、ゲート線 Y_{i+1} 上のゲート電圧 ϕ_A が第3フェーズの電圧レベル V_2 から定常レベル V_1 に下がる。これによって、信号蓄積補助容量 CS のカップリング効果で画素電極 $P_{i+1,i}$ の電位が対向電極電圧 V_{COM} よりも低いレベル(B_6)まで下がる。以後、次のフレーム期間内で自己の選択(書き込み)時間が来るまで、画素電極 $P_{i+1,i}$ の電位はこの電圧レベル(B_6)に維持される。

【0700】一方、画素電極 $P_{i+1,i-1}$ の電位は、上記のようにゲート線 Y_{i+1} 上のゲート電圧 ϕ_A が定常レベル V_1 に戻った時に薄膜トランジスタ $TFT_{i+1,i-1}$ のゲート・ソース間容量によるフィード・スルー効果で少し低下するものの、対向電極電圧 V_{COM} よりも高いレベル(C_7)に留まる。以後、次のフレーム期間内で自己の選択(書き込み)時間が来るまで、画素電極 $P_{i+1,i-1}$ の電位はこの電圧レベル(C_7)に維持される。

【0710】このように、当該フレーム期間内に、 i 行($i-1$)列の画素電極 $P_{i,i-1}$ には対向電極電圧 V_{COM} よりも低い階調電圧が書き込まれ、 $(i+1)$ 行 i 列の画素電極 $P_{i+1,i}$ にも対向電極電圧 V_{COM} よりも低い階調電圧が書き込まれ、 $(i+1)$ 行($i-1$)列の画素電極 $P_{i+1,i-1}$ には対向電極電圧 V_{COM} よりも高い階調電圧が書き込まれる。

【0720】次のフレームでは、各ゲート線 $\cdots Y_{i-1}$ 、 Y_i 、 Y_{i+1} …を駆動するゲート電圧 ϕ_A 、 ϕ_B が互いに入れ替わり、偶数行の各ゲート線 $\cdots Y_{i-2}$ 、 Y_i 、 Y_{i+2} …にはゲート電圧 ϕ_A が供給され、奇数行の各ゲート線 $\cdots Y_{i-1}$ 、 Y_{i+1} …にはゲート電圧 ϕ_B が供給される。

【0730】これにより、前のフレームのときとは動作が反対になり、画素電極 $P_{i,i-1}$ の電位は、ゲート線 Y_i 上のゲート電圧 ϕ_A の前後で $C_1 \sim C_7$ のレベル変化を経て、対向電極電圧 V_{COM} よりも高い階調電圧に反転する。また、画素電極 $P_{i+1,i}$ の電位は、ゲート線 Y_{i+1} 上のゲート電圧 ϕ_A の前後で $D_1 \sim D_7$ のレベル変化を経て、対向電極電圧 V_{COM} よりも高い階調電圧に反転する。画素電極 $P_{i+1,i-1}$ の電位は、ゲート線 Y_{i+1} 上のゲート電圧 ϕ_B の前後で $A_1 \sim A_7$ のレベル変化を経て、対向電極電圧 V_{COM} よりも低い階調電圧に反転する。

【0740】このように、隣接する3つの画素電極 $P_{i,i-1}$ 、 $P_{i+1,i}$ 、 $P_{i+1,i-1}$ のうち互いに斜め隣の $P_{i,i-1}$ と $P_{i+1,i}$ には同一フレーム内で対向電極電圧 V_{COM} に対し同極性の階調電圧が書き込まれ、それらと列方

向または行方向で隣接する画素電極 $P_{i+1,i-1}$ には同一フレーム内で逆極性の階調電圧が書き込まれる。

【0750】ここで、互いに上下隣の画素電極 $P_{i,i-1}$ 、 $P_{i+1,i-1}$ の間では、選択（書き込み）時間に 1 フェーズ分の差があり、同一フレーム内の選択時のレベル変化において一方が（A1～A7）のときは他方が（C1～C7）で、一方が（C1～C7）のときは他方が（A1～A7）であるという関係がある。

【0760】画素電極 $P_{i+1,i}$ とその上隣（前段）の画素電極 $P_{i,i}$ との間にも、上記のような $P_{i+1,i-1}$ と $P_{i,i-1}$ 間の関係に相当する関係がある。つまり、選択（書き込み）時間に 1 フェーズ分の差があり、同一フレーム内の選択時のレベル変化において一方が（B1～B7）のときは他方が（D1～D7）で、一方が（D1～D7）のときは他方が（B1～B7）であるという関係がある。

【0770】したがって、同一フレーム内で、画素電極 $P_{i,i}$ には画素電極 $P_{i+1,i-1}$ とは同極性で画素電極 $P_{i,i-1}$ 、 $P_{i+1,i}$ とは逆極性の階調電圧が書き込まれる。

【0780】なお、定常時における各画素電極 P の電位（たとえば A1、A7）は、電圧レベル V_2 、 V_4 の値を変えることで調整できる。本実施例では、各ゲート電圧 ϕA 、 ϕB の第 1 および第 3 フェーズの電圧レベルをそれぞれ等しい値 V_2 、 V_4 に設定し、しかも対向電極電圧 V_{COM} に対する電圧レベル V_2 、 V_4 の差の絶対値を等しい値（5 ボルト）に設定している。もっとも、必要に応じて、各フェーズの電位レベルを独立した値に設定することは可能である。後述する他の実施例でもこれと同様のことが当てはまる。

【0790】上記のように、本実施例における液晶パネル構成および容量結合駆動方式によれば、対向電極電圧 V_{COM} を一定レベルに固定するコモン一定駆動法において、信号蓄積容量 C_s を用いた容量結合駆動により信号線側の階調電圧の範囲（振幅） V_K を小さくし、低電圧型の信号線ドライバの使用を可能とするだけでなく、図 28 に示すようなドット反転を実現することができる。これにより、低コスト・低消費電力化と高画質化とを両立させることができる。

【0800】次に、図 5～図 9 につき本実施例におけるゲート線ドライバ G を説明する。

【0810】図 5 に示すように、このゲート線ドライバ G は、各ゲート線… Y_{i-1} 、 Y_i 、 Y_{i+1} …に対応する D 型フリップフロップ…20 (i-1)、20 (i)、20 (i+1)…と、デコーダ…22 (i-1)、22 (i)、22 (i+1)…と、スイッチ…24 (i-1)、24 (i)、24 (i+1)…とを有している。

【0820】D 型フリップフロップ…20 (i-1)、20 (i)、20 (i+1) …は、全体で 1 つのシフトレジスタを構成している。各フレーム期間の始めにコントローラ 1

2 より論理値 H のパルス S が初段の D 型フリップフロップ 20 (1) に与えられる。以降、図 6 に示すようなタイミングで、クロック $CLOCK$ に同期してこの論理値 H のパルス S が順次後続の D 型フリップフロップ 20 (2)、20 (3)、20 (4) …に転送される。

【0830】各 D 型フリップフロップ…20 (i-1)、20 (i)、20 (i+1) …の出力端子 Q に得られる論理値 H のパルス… $S(i-1)$ 、 $S(i)$ 、 $S(i+1)$ …は、図 6 に示すように各対応するゲート線… Y_{i-1} 、 Y_i 、 Y_{i+1} …の選択（活性化）時間またはゲート電圧 ϕA 、 ϕB の第 2 フェーズを規定するものであり、各対応するデコーダ…22 (i-1)、22 (i)、22 (i+1) …に入力される。

【0840】図 7 にデコーダ 22 の回路構成例を示し、図 8 にデコーダ 22 内の各部の信号または電圧の波形を示す。

【0850】各デコーダ 22（たとえば 22 (i)）では、コントローラ 12 より図 6 に示すようなタイミングで 2 相のクロック $CLOCK$ 、 $WIDTH$ が入力端子 CLK 、 W にそれぞれ入力される。また、各対応するフリップフロップ 20 (i) およびその前後の 2 つのフリップフロップ 20 (i-1)、20 (i+1) の出力 $S(i)$ 、 $S(i-1)$ 、 $S(i+1)$ が入力端子 K 、 $K-1$ 、 $K+1$ にそれぞれ入力される。また、コントローラ 12 からのフレーム反転制御信号 $ODD/EVEN$ もしくは $ODD/EVEN-$ も入力端子 O/E に入力される。両フレーム反転制御信号 $ODD/EVEN$ 、 $ODD/EVEN-$ はフレーム期間毎に反転する互いに相補的な論理値を有し、 $ODD/EVEN$ は偶数番目のデコーダ…22 (i-2)、22 (i)、22 (i+2) …に与えられ、 $ODD/EVEN-$ は奇数番目のデコーダ…22 (i-1)、22 (i+1) …に与えられる。

【0860】図 7 において、OR ゲート 26 の出力端子には両クロック CLK ($CLOCK$)、 W ($WIDTH$) の OR 論理をとった信号 F が得られる。NAND ゲート 28 の出力端子には、この信号 F と対応するフリップフロップ 20 (i) の出力 $S(i)$ との NAND 論理をとった信号 $E1$ が得られる。レベルシフタ 32 には、この信号 $E1$ と、インバータ 30 を介してその逆論理値の信号 $E1$ とが入力される。レベルシフタ 32 は、信号 $E1$ と同じ論理値を有する出力信号 $S1$ を所定の電圧レベルで出力する。この信号 $S1$ は、本実施例におけるゲート電圧 ϕA 、 ϕB の第 2 フェーズを規定する。

【0870】NOR ゲート 34 の出力端子には、連続する 3 つの D 型フリップフロップ 20 (i-1)、20 (i)、20 (i+1) からの出力 $K-1$ ($S(i-1)$)、 K ($S(i)$)、 $K+1$ ($S(i+1)$) の NOR 論理をとった信号 $E3$ が得られる。レベルシフタ 38 には、この信号 $E3$ と、インバータ 36 を介してその逆論理値の信号 $E3$ とが入力される。レベルシフタ 38 は、信号 $E3$ と同じ論理値を有する出力信号 $S3$ を所定の電圧レベルで出力する。この信号 $S3$ は、本実施例におけるゲート電圧 ϕA 、 ϕB の全体（第 1～3 フェーズ）の持続時間を規定

する。

【0880】NORゲート40の出力端子には両信号E1、E3のNOR論理をとった信号Gが得られる。この信号GはNANDゲート44、46の一方の入力端子に与えられる。

【0890】NANDゲート44の他方の入力端子にはフレーム反転制御信号O/E（ODD/EVENもしくはODD/EVEN-）が与えられ、NANDゲート46の他方の入力端子にはインバータ42を介して信号O/Eと逆論理値の信号O/E-が与えられる。これにより、図8に示すように、各フレーム期間においてインバータ48、52の出力端子に得られる信号E2、E4のいずれか一方が信号Gと同じタイミングで論理値が変化し、他方は論理値Lを維持する。そして、その次のフレーム期間では、反対に、他方が信号Gと同期し、一方が論理値Lを維持する。

【0900】レベルシフタ50、54の出力信号S2、S4は、それぞれ信号E2、E4に対応し、フレーム期間毎に交互にいずれか片方が信号Gに同期して論理値が変化する。信号S2、S4はゲート電圧 ϕA 、 ϕB の第1および第3フェーズをそれぞれ規定する。当該デコーダ22に対応するゲート線Yに対して、ゲート電圧 ϕA を供給するフレームでは信号S2が信号Gに同期し、ゲート電圧 ϕB を供給するフレームでは信号S4が信号Gに同期する。

【0910】図9に、スイッチ24の回路構成例を示す。CMOSトランスマッションゲート56、58、60、62の入力端子には、電圧レベル発生回路18よりゲート電圧 ϕA 、 ϕB を形成するための4種類の電圧レベルV1、V2、V3、V4を有する電圧がそれぞれ入力される。デコーダ22からの制御信号S1～S4は、それぞれゲート56、58、60、62に与えられる。

【0920】図6につき、このスイッチ24の動作を説明する。定常時または非選択時間中は、対応するデコーダ22（たとえば22(i)）からの出力信号S1～S4のうちS3だけが論理値H、他は全て論理値Lである。これにより、トランスマッションゲート60だけがオン状態で、電圧レベルV1が当該ゲート線Yiに供給されている。

【0930】前段のゲート線Yi-1に対応する選択信号S(i-1)が論理値Hになると、S3が論理値Lになると同時に、S2もしくはS4が論理値Hになる。これにより、トランスマッションゲート58もしくは62だけがオンになり、ゲート電圧 ϕA もしくは ϕB の第1フェーズとして電圧レベルV2もしくはV4が当該ゲート線Yiに供給される。

【0940】次に、当該ゲート線Yiに対応する選択信号S(i)が論理値Hになると、これに反応してS1だけが論理値Hになり、トランスマッションゲート56だけがオンになる。この時は、ゲート電圧 ϕA もしくは ϕB

の第2フェーズとして電圧レベルV3が選択されて、当該ゲート線Yiに供給される。

【0950】次に、ゲート線Yi+1に対応する選択信号S(i+1)が論理値Hになると、この時間中はS2もしくはS4だけが論理値Hで、トランスマッションゲート58もしくは62だけがオンになり、ゲート電圧 ϕA もしくは ϕB の第3フェーズとして電圧レベルV2もしくはV4が当該ゲート線Yiに供給される。

【0960】そして、S2もしくはS4が論理値HからLに戻ると同時に、S3が論理値LからHに戻り、以後次のフレーム期間の選択時間が来るまでトランスマッションゲート60を介して電圧レベルV1が出力される。

【0970】次に、本発明の他の実施例による液晶パネル10の回路構成およびゲート線駆動方法を説明する。

【0980】図10に、第2の実施例による液晶パネル10の回路構成を示す。

【0990】この実施例の液晶パネル10では、各列（たとえばi列）において全ての画素電極 $\cdots P_{i-1,j}$ 、 $P_{i,j}$ 、 $P_{i+1,j}$ …がそれぞれ対応する薄膜トランジスタ $\cdots T_{FT,i-1,j}$ 、 $T_{FT,i,j}$ 、 $T_{FT,i+1,j}$ …を介して各列分の信号線Xiに電気的に接続され、各行（たとえばj行）において全ての薄膜トランジスタ $\cdots T_{FT,i}$ 、 $T_{FT,i+1}$ …の制御端子が各行のゲート線Yiに電気的に接続されている。

【1000】そして、画素電極（たとえば $P_{i,j-1}$ 、 $P_{i+1,j}$ ）が各対応する信号蓄積補助容量CSを介して1つ前段の行のゲート線（Yi-1、Yi）に電気的に接続される第1の画素と、画素電極（たとえば $P_{i,j}$ 、 $P_{i+1,j-1}$ ）が各対応する信号蓄積補助容量CSを介して2つ前段の行のゲート線（Yi-2、Yi-1）に電気的に接続される第2の画素とが市松模様のパターンで配置されている。

【1010】図11に、この実施例におけるゲート電圧の波形およびタイミングを示すとともに、液晶パネル10内で隣接する3つの画素電極 $P_{i,j}$ 、 $P_{i,j-1}$ 、 $P_{i+1,j-1}$ の電位（画素電位）の時間的変化を示す。

【1020】この実施例の容量結合駆動方式では、対向電極COMに一定の対向電圧VCOMを印加しながら、図示のように波形の異なる2つのゲート電圧 ϕA 、 ϕB を1フレーム期間に相当する周期TFで交互に切り換えて各ゲート線 $\cdots Y_{i-1}$ 、Yi、Yi+1…に供給する。

【1030】一方のゲート電圧 ϕA は、3つのフェーズからなり、第1フェーズでは薄膜トランジスタTFTをオンさせる電圧レベルV3（たとえば25ボルト）を有し、第2フェーズでは定常の電圧レベルV1（たとえば5ボルト）よりも低い電圧レベルV4（たとえば0ボルト）を有し、第3フェーズでは定常レベルV1よりは高く薄膜トランジスタTFTをオフ状態に維持する電圧レベルV2（たとえば10ボルト）を有する。

【1040】他方のゲート電圧 ϕB も、3つのフェーズ

10

20

30

40

50

からなり、第1のフェーズでは電圧レベルV3を有し、第2フェーズでは電圧レベルV2を有し、第3フェーズでは電圧レベルV4を有する。

【1050】同一フレーム内では、共通のゲート電圧 ϕA もしくは ϕB がほぼ1フェーズ期間の時間間隔でゲート線 $\dots Y_{i-1}, Y_i, Y_{i+1} \dots$ に線順次走査で供給される。

【1060】図11に示すように、ゲート電圧 ϕA で駆動されるフレームでは、第2の画素における画素電極 $P_{i,i}$ の電位がA1～A8のレベル変化を経て対向電極電圧 V_{COM} よりも高いレベルA1から低いレベルA8に極性反転し、それと斜め下隣の第2の画素における画素電極 $P_{i+1,i-1}$ の電位も1フェーズ期間遅れて同じA1～A8のレベル変化を経て対向電極電圧 V_{COM} よりも高いレベルA1から低いレベルA8に極性反転する。

【1070】一方、第1の画素に係る画素電極 $P_{i,i-1}$ の電位は、B1～B7のレベル変化を経て対向電極電圧 V_{COM} よりも低いレベルB1から高いレベルB7に極性反転する。

【1080】ゲート電圧 ϕB で駆動されるフレームでは、第2の画素における画素電極 $P_{i,i}, P_{i+1,i-1}$ の電位がC1～C8のレベル変化を経て対向電極電圧 V_{COM} よりも低いレベルC1から高いレベルC8に極性反転する一方で、第1の画素における画素電極 $P_{i,i-1}$ の電位はD1～D8のレベル変化を経て対向電極電圧 V_{COM} よりも高いレベルD1から低いレベルD7に極性反転する。

【1090】画素電極 $P_{i,i-1}$ と斜め下隣の第1の画素に係る画素電極 $P_{i+1,i}$ の電位は、1フェーズ期間の遅れをもって画素電極 $P_{i,i-1}$ の電位と同じパターンでレベル変化で極性反転する。

【1100】このように、この実施例による液晶パネル構成および容量結合駆動方式でも、対向電極電圧 V_{COM} を一定レベルに固定するコモン一定駆動法において、低電圧型の信号線ドライバの使用とドット反転とを同時実現することができる。

【1110】なお、この実施例による駆動方法を行うには、上記した第1の実施例における信号線ドライバGにおいて、コントローラ12からのフレーム反転制御信号 $ODD/EVEN, ODD/EVEN-$ をいずれか一方に一本化（共通化）するとともに、デコーダ22内のロジック回路（図7）を適当に変更すればよい。

【1120】図12に、第3の実施例による液晶パネル10の回路構成を示す。

【1130】この実施例の液晶パネル10では、各列（たとえばi列）において全ての画素電極 $\dots P_{i-1,i}, P_{i,i}, P_{i+1,i} \dots$ がそれぞれ対応する薄膜トランジスタ $\dots TFT_{i-1,i}, TFT_{i,i}, TFT_{i+1,i} \dots$ を介して各列分の信号線 X_i に電気的に接続され、各行（たとえばi行）において全ての薄膜トランジスタ $\dots TFT_{i,i},$

$i-1, TFT_{i,i}, TFT_{i,i+1} \dots$ の制御端子が各行のゲート線 Y_i に電気的に接続されている。

【1140】そして、画素電極（たとえば $P_{i,i-1}, P_{i+1,i}$ ）が各対応する信号蓄積補助容量CSを介して1つ前段の行のゲート線（ Y_{i-1}, Y_i ）に電気的に接続される第1の画素と、画素電極（たとえば $P_{i,i}, P_{i+1,i-1}$ ）が各対応する信号蓄積補助容量CSを介して1つ後段の行のゲート線（ Y_{i+1}, Y_{i+2} ）に電気的に接続される第2の画素が市松模様のパターンで配置されている。

【1150】図13に、この実施例におけるゲート電圧の波形およびタイミングを示すとともに、液晶パネル10内で隣接する2つの画素電極 $P_{i,i}, P_{i+1,i}$ の電位（画素電位）の時間的变化を示す。

【1160】上記した第2実施例と同様に、この実施例でも、対向電極COMに一定の対向電圧 V_{COM} を印加しながら、図示のような波形の異なる2つのゲート電圧 $\phi A, \phi B$ を1フレーム期間に相当する周期TF毎に交互に切り換えて各ゲート線 $\dots Y_{i-1}, Y_i, Y_{i+1} \dots$ に供給し、同一フレーム内では共通のゲート電圧 ϕA もしくは ϕB によりほぼ1フェーズ期間の時間間隔でゲート線 $\dots Y_{i-1}, Y_i, Y_{i+1} \dots$ を線順次走査で順次駆動する。

【1170】一方のゲート電圧 ϕA は、3つのフェーズからなり、第1フェーズでは定常の電圧レベルV1（たとえば5ボルト）よりは高く薄膜トランジスタTFTをオフ状態に維持する電圧レベルV2（たとえば10ボルト）を有し、第2フェーズでは薄膜トランジスタTFTをオンさせる電圧レベルV3（たとえば25ボルト）を有し、第3フェーズでは定常レベルV1よりも低い電圧レベルV4（たとえば0ボルト）を有する。

【1180】他方のゲート電圧 ϕB も、3つのフェーズからなり、第1のフェーズでは電圧レベルV4を有し、第2フェーズでは電圧レベルV3を有し、第3フェーズでは電圧レベルV2を有する。

【1190】図13に示すように、ゲート電圧 ϕA で駆動されるフレームでは、第2の画素における画素電極 $P_{i,i}$ の電位がA1～A7のレベル変化を経て対向電極電圧 V_{COM} よりも高いレベルA1から低いレベルA7に極性反転し、その下隣の第1の画素における画素電極 $P_{i+1,i}$ の電位は1フェーズ期間遅れたタイミングでB1～B8のレベル変化を経て対向電極電圧 V_{COM} よりも低いレベルB1から高いレベルB7に極性反転する。

【1200】ゲート電圧 ϕB で駆動されるフレームでは、画素電極 $P_{i,i}$ の電位がC1～C7のレベル変化を経て対向電極電圧 V_{COM} よりも低いレベルC1から高いレベルC7に極性反転し、画素電極 $P_{i+1,i}$ の電位は1フェーズ期間遅れたタイミングでD1～D7のレベル変化を経て対向電極電圧 V_{COM} よりも高いレベルD1から低いレベルD7に極性反転する。

10

20

30

40

50

【1210】図示しないが、画素電極 $P_{i,j}$ の斜め下隣の第2の画素における画素電極 $P_{i+1,i-1}$ の電位は、画素電極 $P_{i,j}$ の電位よりも1フェーズ期間遅れて同じパターン(A1~A7)、(C1~C7)のレベル変化を経て極性反転する。また、画素電極 $P_{i+1,i}$ の斜め上隣の第1の画素における画素電極 $P_{i,i-1}$ の電位は、画素電極 $P_{i+1,i}$ の電位よりも1フェーズ期間進み同じパターン(B1~B7)、(D1~D7)のレベル変化を経て極性反転する。

【1220】このように、この実施例による液晶パネル構成および容量結合駆動方式でも、対向電極電圧 V_{COM} を一定レベルに固定するコモン一定駆動法において、低電圧型の信号線ドライバの使用とドット反転とを同時実現することができる。

【1230】図14~図18に、この第3実施例の変形例を示す。いずれの変形例も、配線の配置パターンを変形したものであり、回路構成および駆動方法に実質的な変更はない。したがって、上記と同様の作用が奏される。

【1240】図14の変形例は、信号線 $\dots X_{i-1}, X_i, X_{i+1} \dots$ を一定間隔ではなく、2列分を1組 $\dots (X_{i-2}, X_{i-1}), (X_i, X_{i+1}), (X_{i+2}, X_{i+1}) \dots$ として近接させて配線するものである。

【1250】図15の変形例は、ゲート線 $\dots Y_{i-1}, Y_i, Y_{i+1} \dots$ を一定間隔ではなく、2行分を1組 $\dots (Y_{i-3}, Y_{i-2}), (Y_{i-1}, Y_i), (Y_{i+1}, Y_{i+2}) \dots$ として近接させて配線する。

【1260】図16の変形例は、図14の配線方式と第15の配線方式とを合成したものであって、信号線 X およびゲート線 Y の双方を2画素単位に寄せて配線する。

【1270】図17の変形例では、奇数行と偶数行とで位相を180°ずらして各ゲート線 $\dots Y_{i-1}, Y_i, Y_{i+1} \dots$ を1画素の周期で直角に折り曲げて配線する。

【1280】図18の変形例は、図17のゲート線配線構成に第14の信号線配線構成を合成したものである。

【1290】図19に、第4の実施例による液晶パネル10の回路構成を示す。

【1300】この実施例の液晶パネル10では、各列(たとえば j 列)において全ての画素電極 $\dots P_{i-1,j}, P_{i,j}, P_{i+1,j} \dots$ がそれぞれ対応する薄膜トランジスタ $\dots T_{FTi-1,j}, T_{FTi,j}, T_{FTi+1,j} \dots$ を介して各列分の信号線 X_j に電気的に接続されている点は上記した実施例と共通しているが、各行毎に一对のゲート線 $\dots [Y(i-1)+, Y(i-1)-], [Y(i)+, Y(i)-], [Y(i+1)+, Y(i+1)-] \dots$ が設けられている。

【1310】そして、薄膜トランジスタ(たとえば $T_{FTi,j}, T_{FTi+1,j-1}$)の制御端子が各対応する行の第1のゲート線 $[Y(i)+, Y(i+1)-]$ に電気的に接続されるとともに画素電極($P_{i,j}, P_{i+1,i-1}$)が1つ前段の行の第1のゲート線 $[Y(i-1)+, Y(i)-]$ に電気的

に接続される第1の画素と、薄膜トランジスタ(たとえば $T_{FTi,j-1}, T_{FTi+1,j}$)の制御端子が各対応する行の第2のゲート線 $[Y(i)-, Y(i+1)-]$ に電気的に接続されるとともに画素電極($P_{i,i-1}, P_{i+1,i}$)が1つ前段の行の第2のゲート線 $[Y(i-1)-, Y(i)-]$ に電気的に接続される第2の画素とが市松模様のパターンで配置されている。

【1320】図20に、この実施例におけるゲート電圧の波形およびタイミングを示すとともに、液晶パネル10内で隣接する4つの画素電極 $P_{i,j}, P_{i+1,i-1}, P_{i,i-1}, P_{i+1,i}$ の電位の時間的变化を示す。ここで、画素電極 $P_{i,j}, P_{i+1,i-1}$ は第1の画素に係り、画素電極 $P_{i,i-1}, P_{i+1,i}$ は第2の画素に係る。

【1330】この実施例では、対向電極 COM に一定の対向電圧 V_{COM} を印加しながら、図示のような波形の異なる2つのゲート電圧 $\phi A, \phi B$ を1フレーム期間に相当する周期 TF で交互に切り換えて各行のゲート線対($Y+, Y-$)に供給し、同一フレーム内ではこれらのゲート電圧 $\phi A, \phi B$ によりほぼ1フェーズ期間の時間間隔で1行ずつゲート線を線順次走査で順次駆動する。

【1340】一方のゲート電圧 ϕA は、2つのフェーズからなり、第1フェーズでは薄膜トランジスタ T_{FT} をオンさせる電圧レベル $V3$ (たとえば25ボルト)を有し、第2フェーズでは定常レベル $V1$ (たとえば5ボルト)よりは高く薄膜トランジスタ T_{FT} をオフ状態にする電圧レベル $V2$ (たとえば10ボルト)を有する。

【1350】他方のゲート電圧 ϕB も、2つのフェーズからなり、第1のフェーズでは電圧レベル $V3$ を有し、第2フェーズでは定常レベル $V1$ よりも低い電圧レベル $V4$ (たとえば0ボルト)を有する。

【1360】図20に示すように、各行において第1のゲート線 $Y+$ にゲート電圧 ϕA が供給され第2のゲート線 $Y-$ にゲート電圧 ϕB が供給されるフレームでは、第1の画素における画素電極 $P_{i,j}, P_{i+1,i-1}$ の電位が $A1 \sim A6$ のレベル変化を経て対向電極電圧 V_{COM} よりも高いレベル $A1$ から低いレベル $A6$ に極性反転し、第2の画素における画素電極 $P_{i,i-1}, P_{i+1,i}$ の電位が $B1 \sim B6$ のレベル変化を経て対向電極電圧 V_{COM} よりも低いレベル $B1$ から高いレベル $B6$ に極性反転する。

【1370】また、各行において第1のゲート線 $Y+$ にゲート電圧 ϕB が供給され第2のゲート線 $Y-$ にゲート電圧 ϕA が供給されるフレームでは、上記と反対に、第1の画素における画素電極 $P_{i,j}, P_{i+1,i-1}$ の電位が $B1 \sim B7$ のレベル変化を経て対向電極電圧 V_{COM} よりも低いレベル $B1$ から高いレベル $B6$ に極性反転し、第2の画素における画素電極 $P_{i,i-1}, P_{i+1,i}$ の電位が $A1 \sim A6$ のレベル変化を経て対向電極電圧 V_{COM} よりも高いレベル $A1$ から低いレベル $A6$ に極性反転する。

【1380】なお、本発明の液晶表示装置では、各画素電極 P における選択時間の終了直後に、その画素電極に

10

20

30

40

50

信号蓄積補助容量を介して電氣的に接続されているゲート線上のゲート電圧のレベルを変化させることにより、容量結合駆動を行って、選択時間中に書き込まれた階調電圧をシフトさせるようにしている。この点に関しては、選択時間の終了時点より容量結合駆動の開始タイミングを少し遅らせる方が安定確実な動作を保證できる。このためには、図20に示すように、各ゲート電圧 ϕA 、 ϕB の最後のフェーズ期間を他のフェーズ期間よりも少し長目に設定すればよい。上記した他の実施例でも同様のことが当てはまる。

【1390】このように、この実施例による液晶パネル構成および容量結合駆動方式でも、対向電極電圧 V_{COM} を一定レベルに固定するコモン一定駆動法において、低電圧型の信号線ドライバの使用とドット反転とを同時実現することができる。

【1400】図21に、第4の実施例による液晶パネル10の回路構成の変形例を示す。この変形例は、各行（たとえば i 行）における全ての薄膜トランジスタ $TFT_{i,i-1}$ 、 $TFT_{i,i}$ 、 $TFT_{i,i+1}$ …の制御端子を第1または第2のゲート線のどちらか一方（図21は第2のゲート線 $Y(i)$ -を示す）に電氣的に共通接続するものである。他は変更していない。この回路構成においても、上記同様のゲート線駆動方法を使用することができる。

【1410】図22に、この実施例の液晶パネル10（図19）に使用可能な別のゲート線駆動方法を示す。

【1420】この駆動方法では、図22の点線で示すように、対向電極電圧 V_{COM} をゲート線選択時間毎に交互に2つの電圧レベル V_c 、 V_d 間で切り換える。このための対向電極駆動回路（図示せず）が設けられる。

【1430】そして、図示のような波形の異なる2つのゲート電圧 ϕA 、 ϕB を1フェーズ期間だけ時間をずらしてゲート線 $\cdots Y(i-1)+$ 、 $Y(i-1)-$ 、 $Y(i)+$ 、 $Y(i)-$ 、 $Y(i+1)+$ 、 $Y(i+1)-$ …に線順次走査で順次供給し、各ゲート線 Y に対しては1フレーム期間に相当する周期でゲート電圧 ϕA 、 ϕB を交互に切り換える。

【1440】一方のゲート電圧 ϕA は、非選択時間中は対向電極電圧 V_{COM} に同期した第1および第2のフェーズでそれぞれ薄膜トランジスタ TFT をオフ状態に維持する電圧レベル V_e 、 V_f を有し、選択時間に対応する第1フェーズで薄膜トランジスタ TFT をオンにする電圧レベル V_a を有する。

【1450】他方のゲート電圧 ϕB は、非選択時間中は対向電極電圧 V_{COM} に同期した第1および第2のフェーズで薄膜トランジスタ TFT をオフ状態に維持する電圧レベル V_e 、 V_f を有し、選択時間に対応する第2フェーズで薄膜トランジスタ TFT をオンにする電圧レベル V_b を有する。

【1460】図23に、対向電極電圧 V_{COM} および両ゲート電圧 ϕA 、 ϕB の各電圧レベル V_a 、 V_b 、 V_c 、

V_d 、 V_e 、 V_f の選定例を示す。図中の ϕC は対向電極電圧 V_{com} を固定する場合の従来方式におけるゲート電圧の波形であり、非選択時間中に薄膜トランジスタ TFT をオフ状態に維持する電圧レベル V_B と選択時間中に薄膜トランジスタ TFT をオンさせる電圧レベル V_A とを有する。ここで、 $V_A = V_{com} + V_G$ とする。

【1470】この例では、従来方式の対向電極電圧レベル V_{com} に対して、本実施例方式の対向電極電圧レベル V_{COM} の電圧 V_c 、 V_d を $V_c = V_{com} + V_P$ 、 $V_d = V_{com} - V_M$ と設定し、非選択時間中におけるゲート ϕA 、 ϕB の電圧レベル V_e 、 V_f を $V_e = V_G + V_P$ 、 $V_f = V_G - V_M$ と設定し、選択時間中におけるゲート ϕA 、 ϕB の電圧レベル V_a 、 V_b を $V_a = V_c + V_G$ 、 $V_b = V_d + V_G$ と設定している。

【1480】この駆動方法によれば、図22に示すように、各行の第1のゲート線 $Y+$ がゲート電圧 ϕB で駆動され第2のゲート線 $Y-$ がゲート電圧 ϕA で駆動されるフレームでは、第1の画素における画素電極 $P_{i-1,i-1}$ の $P_{i,i}$ の電位が $B1 \sim B6$ のレベル変化を経て対向電極電圧 V_{COM} よりも相対的に低いレベルから相対的に高いレベルに極性反転し、第2の画素における画素電極 $P_{i-1,i}$ 、 $P_{i,i-1}$ の電位が $A1 \sim A6$ のレベル変化を経て対向電極電圧 V_{COM} よりも相対的に高いレベルから相対的に低いレベルに極性反転する。

【1490】また、図示しないが、各行において第1のゲート線 $Y+$ にゲート電圧 ϕA が供給され第2のゲート線 $Y-$ にゲート電圧 ϕB が供給されるフレームでは、上記と反対になり、第1の画素における画素電極 $P_{i-1,i-1}$ の $P_{i,i}$ の電位が $A1 \sim A6$ のレベル変化を経て対向電極電圧 V_{COM} よりも相対的に高いレベルから相対的に低いレベルに極性反転し、第2の画素における画素電極 $P_{i-1,i}$ 、 $P_{i,i-1}$ の電位が $B1 \sim B6$ のレベル変化を経て対向電極電圧 V_{COM} よりも相対的に低いレベルから相対的に高いレベルに極性反転する。

【1500】なお、図22において、電圧レベル $A2$ 、 $B2$ は、当該画素電極が信号蓄積補助容量 CS を介して電氣的に接続されている前段のゲート線が選択されてそのゲート線上のゲート電圧 ϕA 、 ϕB が電圧レベル V_a 、 V_b に上昇したことによる容量カップリング効果である。

【1510】このように、図19の液晶パネル構成においては、対向電極電圧を振る方式のゲート線駆動法でも、ドット反転を実現することができる。

【1520】図24に、この第4の実施例における液晶パネル10の回路構成の別の変形例を示す。この変形例では、各画素における画素電極 P と各対応する信号蓄積補助電極を介して電氣的に接続される1つ前段の行のゲート線（ $Y+$ 、 $Y-$ ）が図19と反対になっている。他の構成は同じである。

【1530】つまり、画素電極（ $P_{i,i}$ 、 $P_{i+1,i-1}$ ）

10

20

30

40

50

が 1 つ前段の行の第 2 のゲート線 $|Y(i-1)-, Y(i)-|$ に電氣的に接続される第 1 の画素と、画素電極 ($P_{i,i-1}, P_{i+1,i}$) が 1 つ前段の行の第 1 のゲート線 $|Y(i-1)+, Y(i)+|$ に電氣的に接続される第 2 の画素とが市松模様のパターンで配置されている。

【1540】図 25 に、この図 24 の変形例に対するゲート電圧 ϕA 、 ϕB の波形およびタイミングを示す。

【1550】

【発明の効果】以上説明したように、本発明の液晶パネルおよび液晶表示装置によれば、コモン一定駆動法において信号線ドライバの負担軽減とドット反転を同時に実現することができる。

【図面の簡単な説明】

【図 1】本発明の一実施例によるアクティブマトリクス方式のフルカラー TFT-LCD の構成を模式的に示すブロック図である。

【図 2】第 1 の実施例における液晶パネルの回路構成を示す回路図である。

【図 3】第 1 の実施例におけるゲート電圧の波形およびタイミングを示す図である。

【図 4】第 1 の実施例における液晶パネル内の画素電極の電位 (画素電位) の時間的変化を示す図である。

【図 5】実施例におけるゲート線ドライバの回路構成例を示すブロック図である。

【図 6】実施例のゲート線ドライバ内の各部の信号または電圧の波形およびタイミングを示す図である。

【図 7】実施例のゲート線ドライバにおけるデコーダの回路構成例を示すブロック図である。

【図 8】実施例のデコーダ内の各部の信号または電圧の波形およびタイミングを示す図である。

【図 9】実施例のゲート線ドライバにおけるスイッチの回路構成例を示すブロック図である。

【図 10】第 2 の実施例における液晶パネルの回路構成を示す回路図である。

【図 11】第 2 の実施例におけるゲート電圧の波形およびタイミングと画素電極の電位の時間的変化とを示す図である。

【図 12】第 3 の実施例における液晶パネルの回路構成を示す回路図である。

【図 13】第 3 の実施例におけるゲート電圧の波形およびタイミングと画素電極の電位の時間的変化とを示す図である。

【図 14】第 3 の実施例の一変形例における液晶パネルの回路構成を示す回路図である。

【図 15】第 3 実施例の別の変形例における液晶パネル

の回路構成を示す回路図である。

【図 16】第 3 実施例の他の変形例における液晶パネルの回路構成を示す回路図である。

【図 17】第 3 実施例の他の変形例における液晶パネルの回路構成を示す回路図である。

【図 18】第 3 実施例の他の変形例における液晶パネルの回路構成を示す回路図である。

【図 19】第 4 の実施例における液晶パネルの回路構成を示す回路図である。

【図 20】第 4 の実施例におけるゲート電圧の波形およびタイミングと画素電極の電位の時間的変化とを示す図である。

【図 21】第 4 の実施例の一変形例における液晶パネルの回路構成を示す回路図である。

【図 22】第 4 の実施例の変形例によるゲート電圧の波形およびタイミングと画素電極の電位の時間的変化とを示す図である。

【図 23】図 22 のゲート線駆動法における各種電圧レベルの選定例を示す図である。

【図 24】第 4 の実施例の別の変形例による液晶パネルの回路構成を示す回路図である。

【図 25】図 24 の液晶パネル構造に使用可能なゲート線駆動法におけるゲート電圧の波形およびタイミングと画素電極の電位の時間的変化とを示す図である。

【図 26】従来の TFT-LCD における液晶パネルの回路構成を示す回路図である。

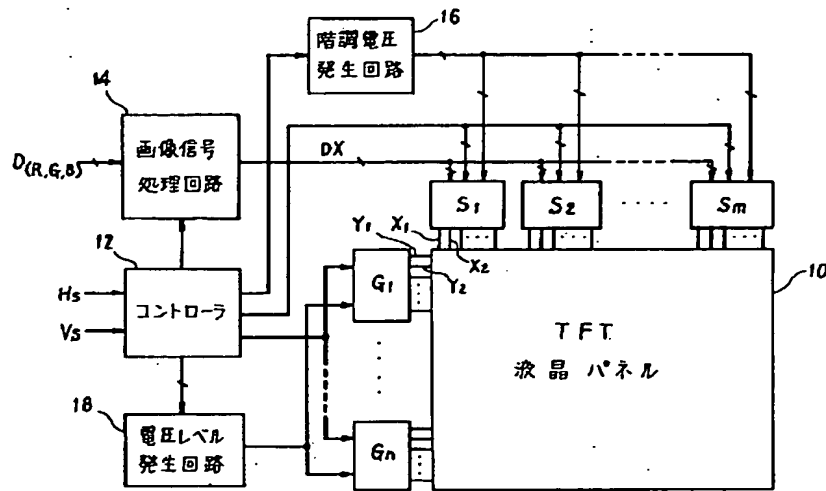
【図 27】従来の TFT-LCD におけるゲート電圧の波形およびタイミングと画素電極の電位の時間的変化とを示す図である。

【図 28】TFT-LCD におけるドット反転のパターンを示す図である。

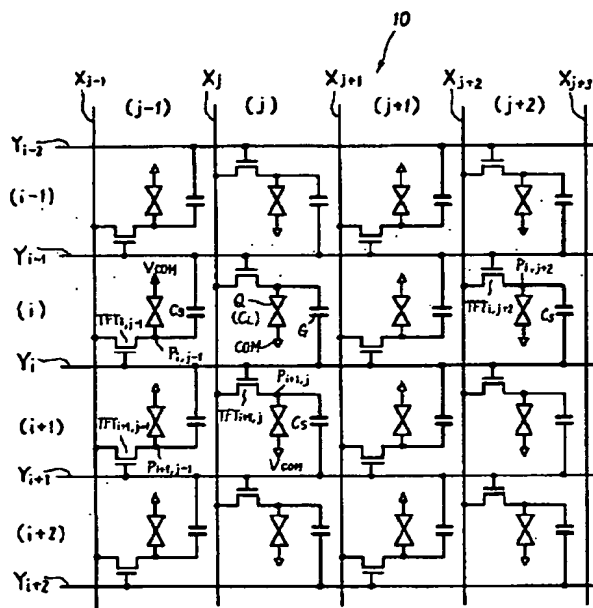
【符号の説明】

10 液晶パネル
12 コントローラ
14 画像信号処理回路
16 階調電圧発生回路
18 電圧レベル発生回路
G1 .. G2 ... ゲート線ドライバ
S1, S2 ... 信号線ドライバ
... Yi-1, Yi, Yi+1 ... ゲート線
... Xi-1, Xi, Xi+1 ... 信号線
20 D型フリップフロップ
22 デコーダ
24 スイッチ

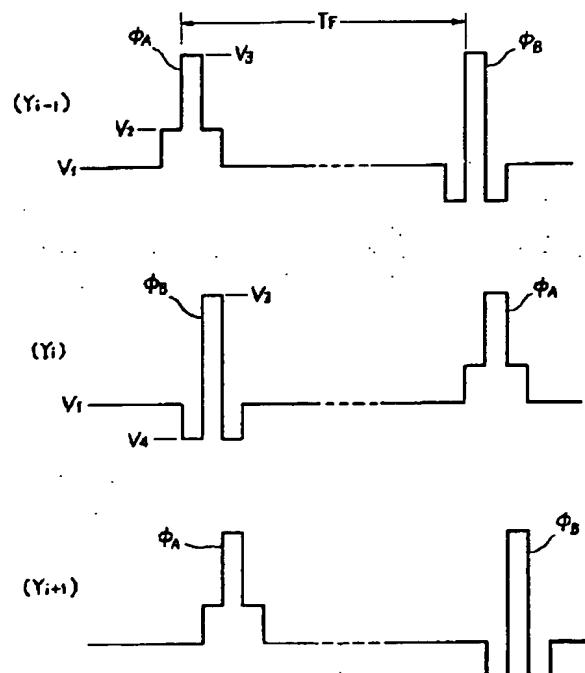
【図 1】



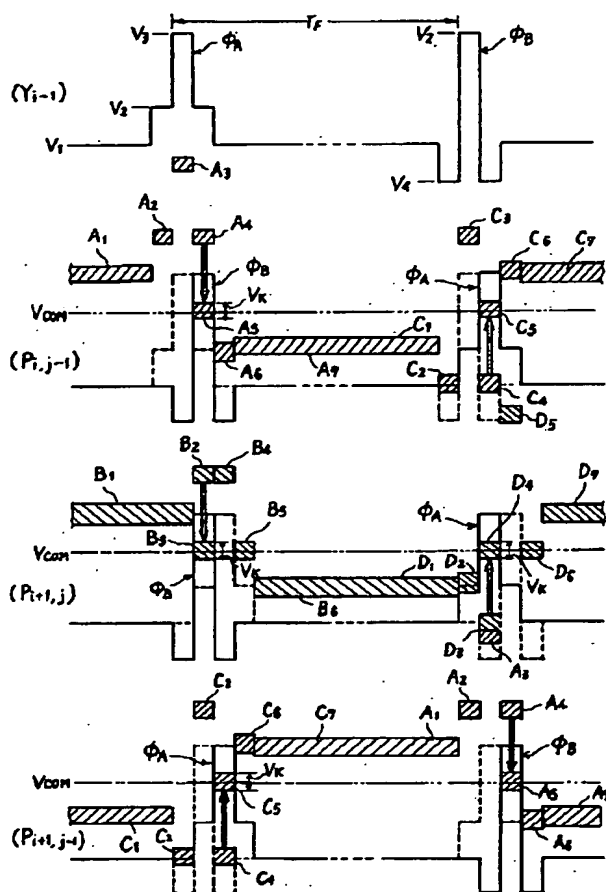
【図 2】



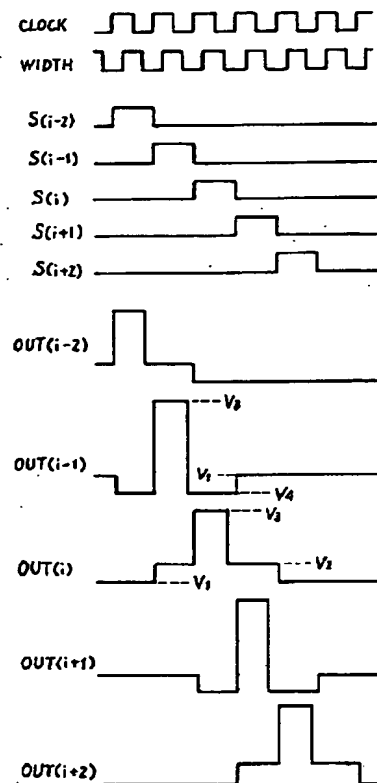
【図 3】



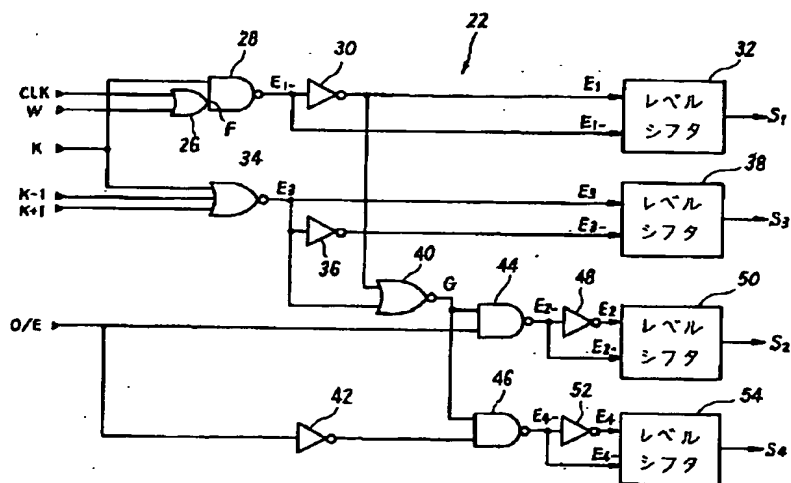
【図 4】



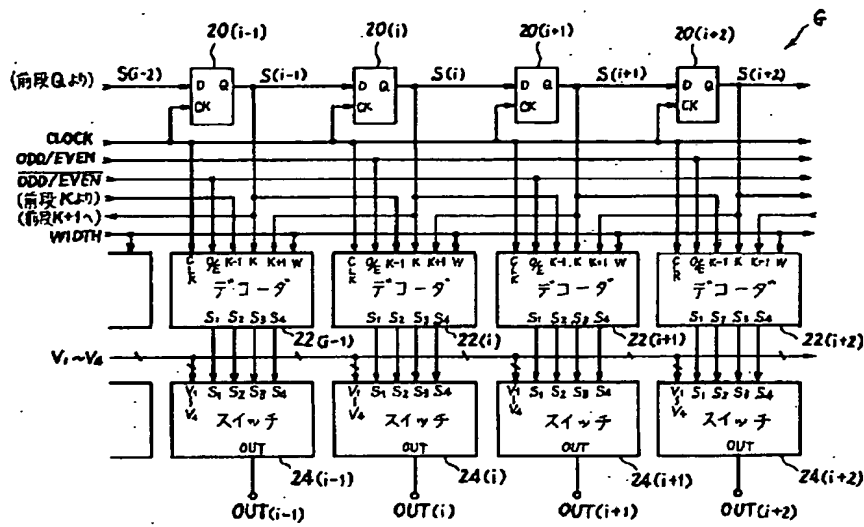
【図 6】



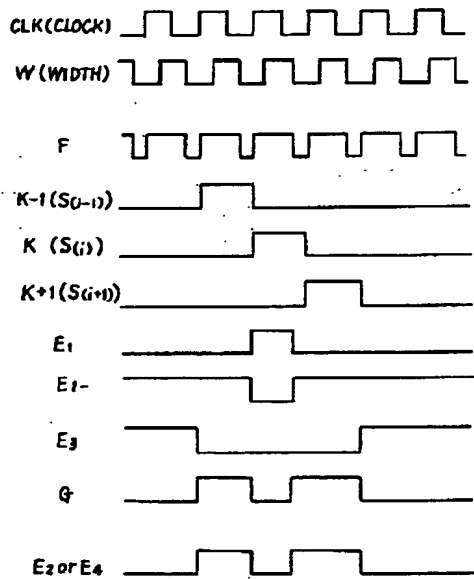
【図 7】



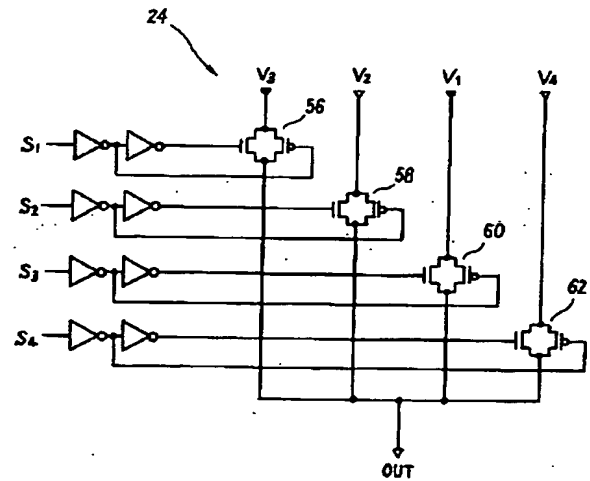
【図 5】



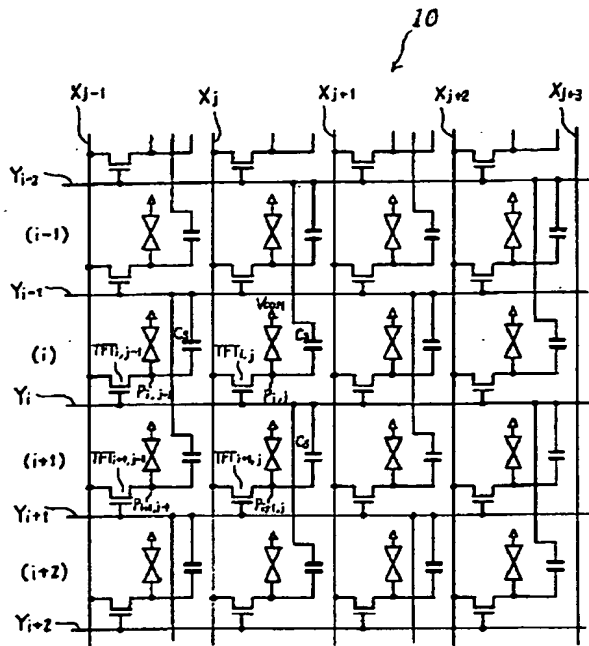
【図 8】



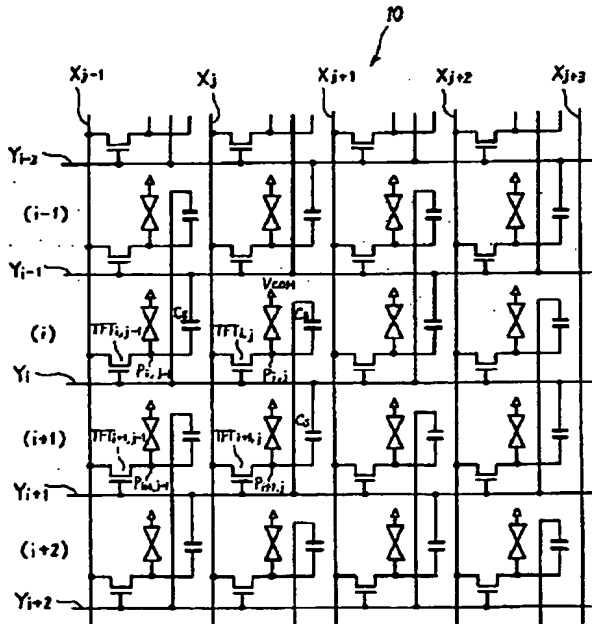
【図 9】



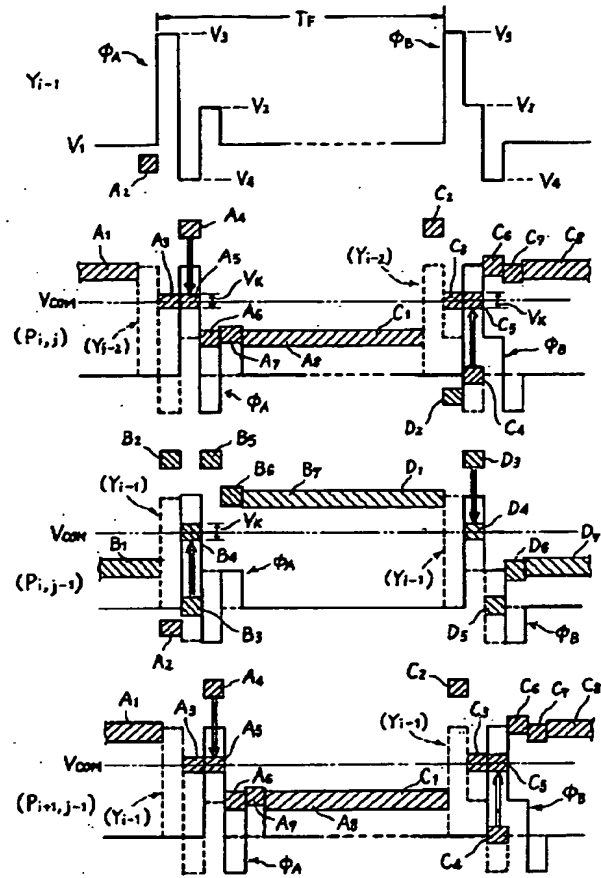
【図 10】



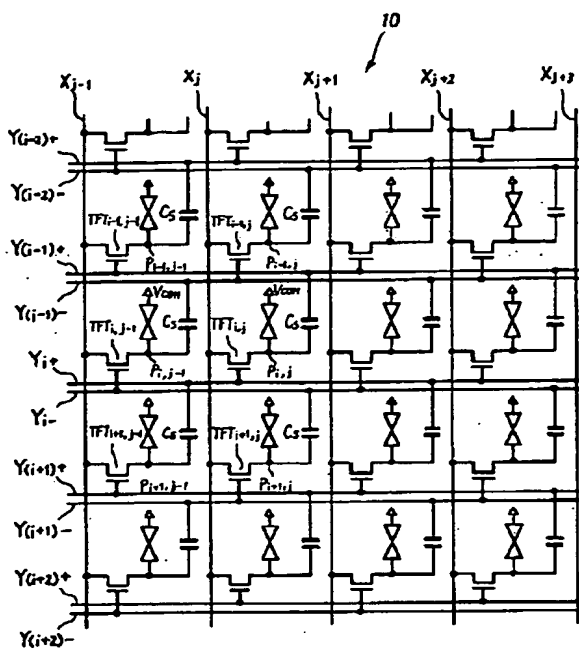
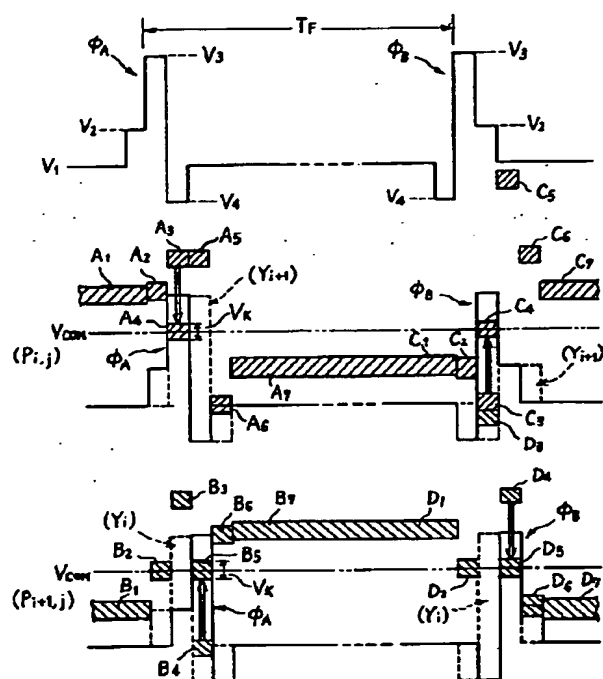
【図 12】



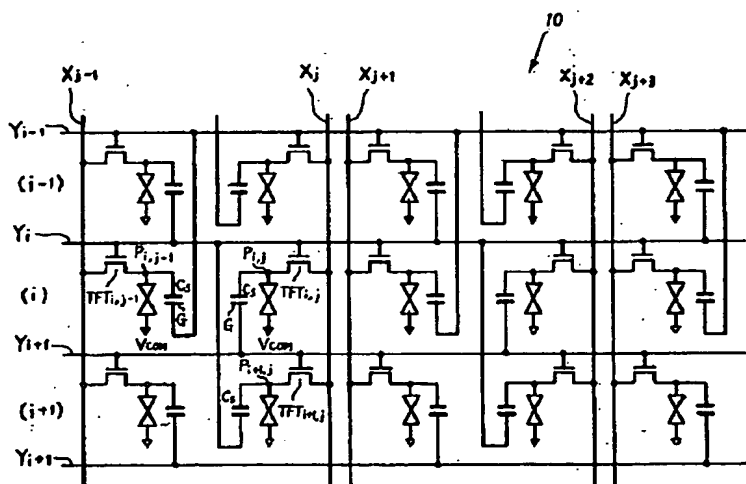
【図 11】



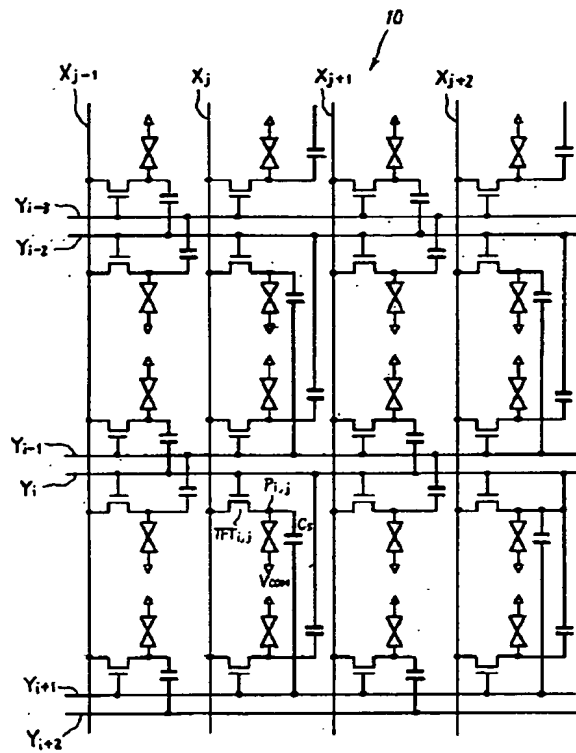
【图 19】



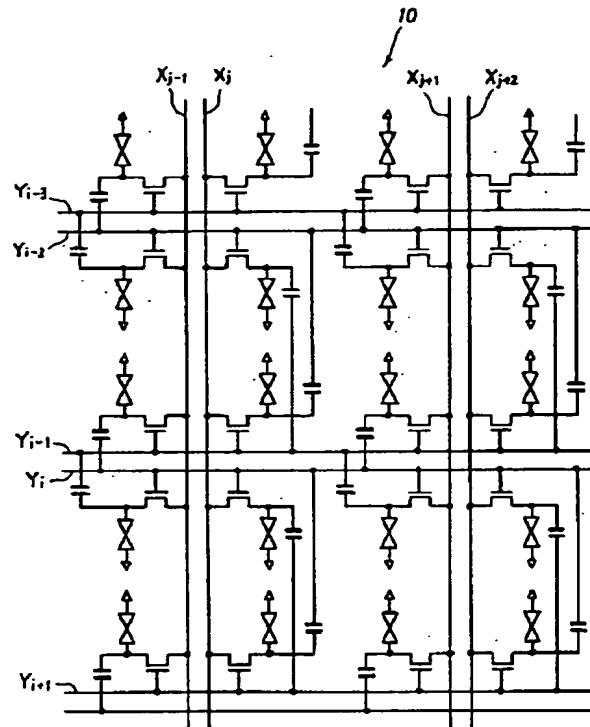
【圖 14】



【図 15】

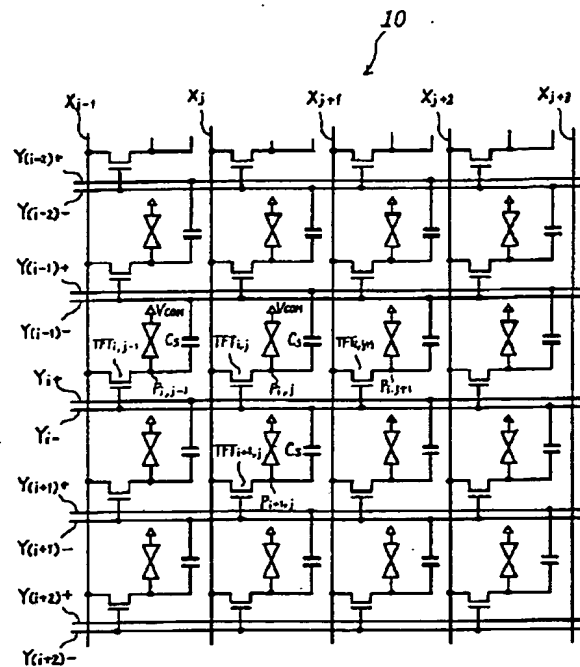
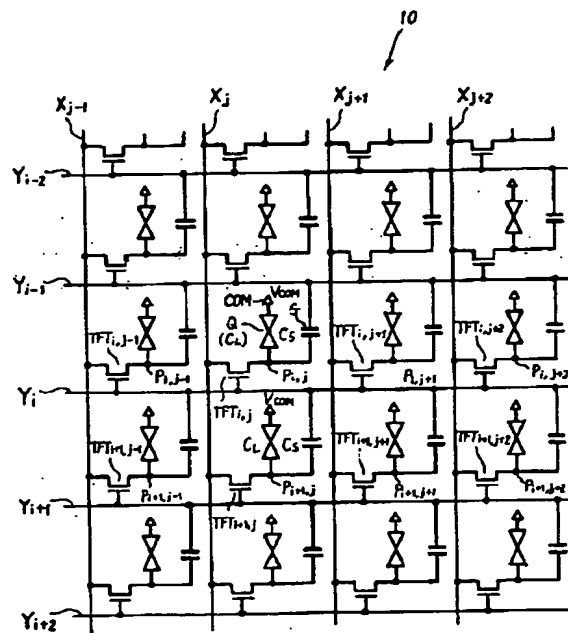


【図 16】

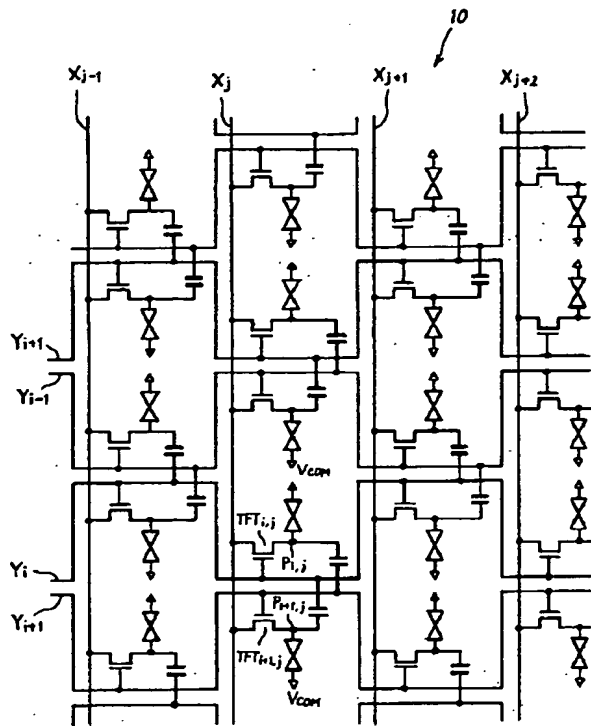


【図 21】

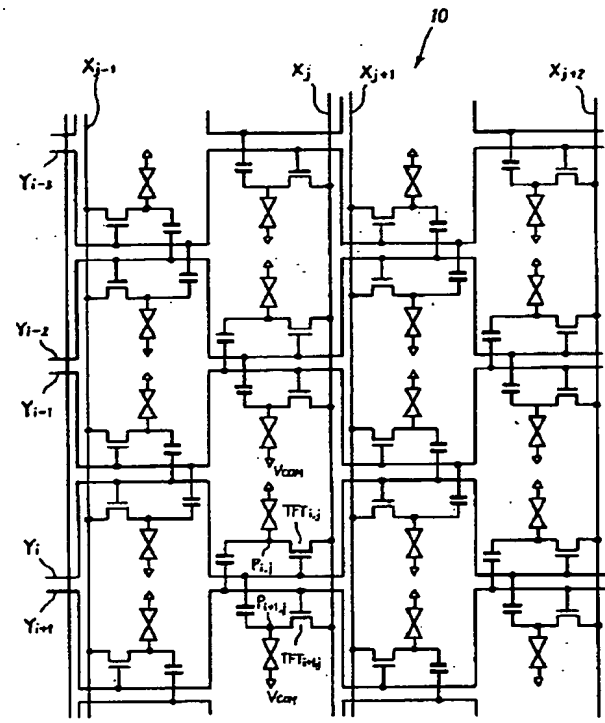
【図 26】



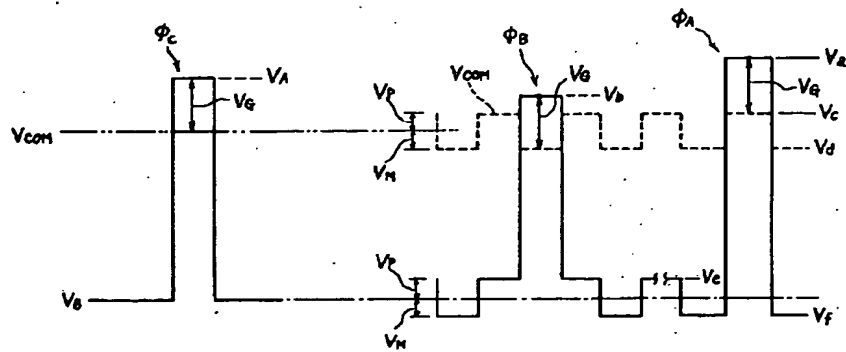
【図 1 7】



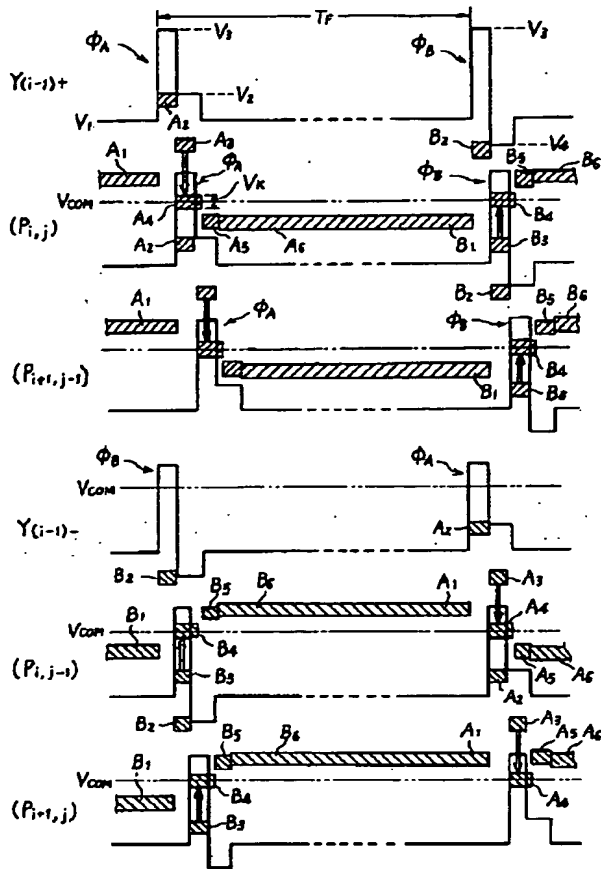
【図 1 8】



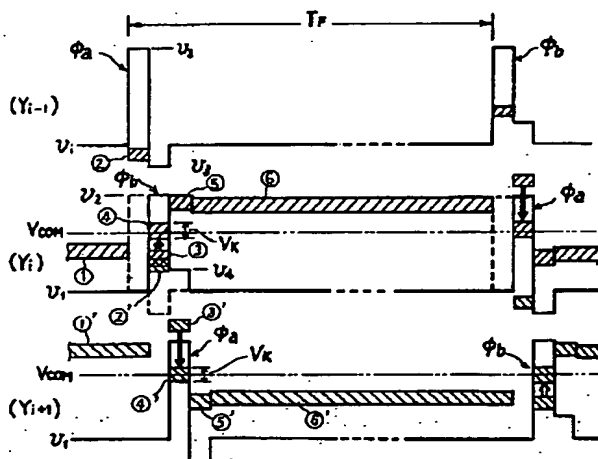
【図 2 3】



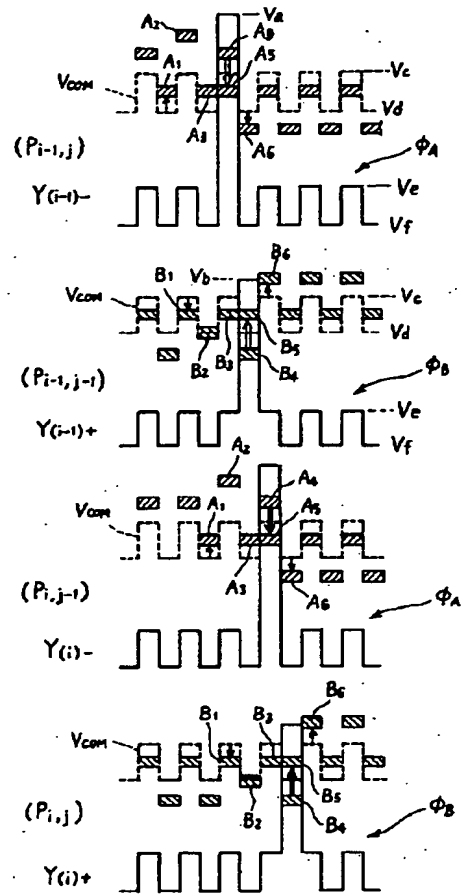
【図 20】



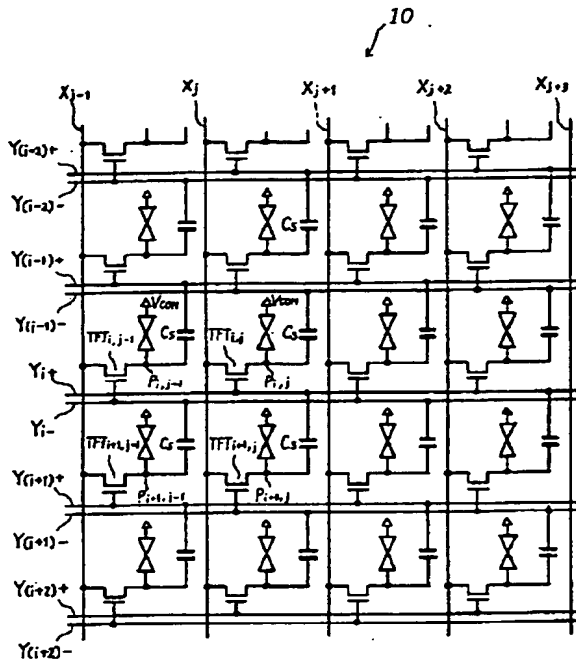
【図 27】



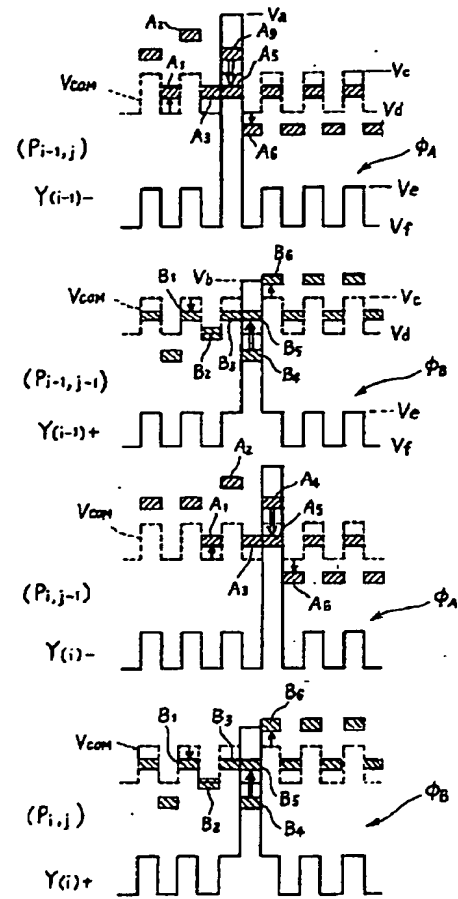
【図 22】



【図 2 4】

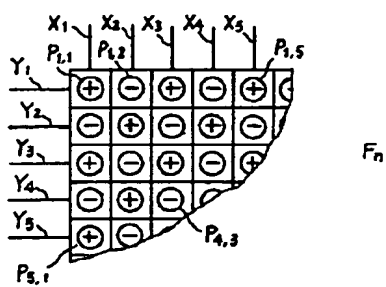


【図 2 5】



【図 2 8】

(A)



(B)

